UNIVERSIDAD AUTÓNOMA DE MADRID

ESCUELA POLITÉCNICA SUPERIOR

Grado en Ingeniería de Tecnología y Servicios de Telecomunicación

TRABAJO FIN DE GRADO

INTEGRACIÓN DE UN SISTEMA DE CONVERSIÓN ANALÓGICO-DIGITAL EN UN SISTEMA HARDWARE-IN-THE-LOOP

Daniel Sanz Muñoz
Tutor: Alberto Sánchez González
Ponente: Ángel De Castro Martín

Julio 2018

INTEGRACIÓN DE UN SISTEMA DE CONVERSIÓN ANALÓGICO-DIGITAL EN UN SISTEMA HARDWARE-IN-THE-LOOP

AUTOR: Daniel Sanz Muñoz
TUTOR: Alberto Sánchez González

Hardware & Control Technology Laboratory

Dpto. Tecnología Electrónica y de las Comunicaciones

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Julio de 2018

Resumen

El control de convertidores conmutados ha tenido un cambio de tendencia hacia controladores digitales por las ventajas que presentan frente a los controladores analógicos, quedando así sistemas mixtos en los que la planta es analógica y el controlador digital.

En los convertidores de potencia es de especial importancia su simulación y verificación de un correcto funcionamiento, ya que al trabajar con valores elevados de potencia un fallo podría ocasionar la destrucción del convertidor, generando así tanto costes materiales como posibles daños personales.

Hay diferentes formas de simular estos sistemas mixtos, aunque todas ellas emplean tiempos elevados de simulación. La solución a esto pasa por crear un modelo digital de la planta generando un modelo matemático de la misma, de forma que se pueda ejecutar en hardware y este pueda ser simulado desde una FPGA o sistema embebido, quedando así un único sistema digital que permite la emulación en tiempo real. A este tipo de simulación se le llama HIL (Hardware-In-the-Loop).

El principal problema de sustituir la planta analógica por un modelo digital de la misma es que el regulador debe seguir sensando una señal similar a la esperada. Normalmente las señales sensadas de la planta son de tipo tensión analógica, así que el modelo de la planta digital debería generar señales idénticas para evitar que el regulador deba ser cambiado para adaptarse al sistema de emulación. Por tanto, es recomendable que el sistema HIL tenga una etapa de conversión digital-analógica de forma que el controlador no pueda discernir si está controlando la planta real o el modelo digital de la misma. Una vez conseguido esta etapa, se podrá maximizar la utilidad del sistema HIL

Este TFG tratará de comprobar las características de los módulos de conversión DA presentes en el mercado cuando se trata de sistemas de alta frecuencia (100 kHz). Como se verá más adelante estos conversores no son capaces de trabajar a tan alta frecuencia de conmutación, por lo que se diseñará un módulo conversor que sea capaz de suplir las carencias de los módulos comerciales.

Para probar los módulos de conversión comerciales y el diseñado en este TFG se empleará primero una señal triangular. Dicha forma triangular es habitual en los convertidores de potencia, en la que la corriente de la bobina tiene forma triangular según se alternan los diferentes estados del convertidor. Se comprobará que los módulos de conversión comerciales son capaces de representar correctamente la señal triangular cuando ésta tiene baja frecuencia (alrededor de 3 kHz). Sin embargo, con frecuencias en torno a los 100 kHz, se comprobará que los conversores comerciales no pueden obtener una salida precisa mientras que el conversor diseñado ofrece una reconstrucción fiel la señal original.

Además de esto también se simulará la salida de un sistema HIL al completo con un convertidor buck, haciendo un cambio desde un punto de estabilidad a otro comprobando así que las perturbaciones de alta frecuencia presentes en el transitorio se representan de forma mucho más precisa en el conversor construido que en los comerciales.

Por tanto, el presente trabajo se centra en el diseño, construcción y prueba de un módulo de conversión DA (Digital-Analógico) capaz de reconstruir señales de alta frecuencia.

Abstract

The control of switched converters has had a change of trend towards digital controllers because of the advantages that they present over the analog controllers, thus leaving mixed systems in which the plant is analogue, and the controller is digital.

In the power converters, it is of importance to simulate and verify a correct operation, because when working with high power values a fault could cause the destruction of the converter, thus generating both material costs as possible personal injury.

There are different ways to simulate these mixed systems, although they all use high simulation times. The solution to this is to create a digital model of the plant generating a mathematical model of it, so that it can run on hardware and this can be simulated from an FPGA or embedded system, thus leaving a single digital system that allows emulation in real time. This type of simulation is called HIL (Hardware-In-the-Loop).

The main problem of replacing the analogue plant with a digital model of it is that the regulator must continue to sens a signal like the one expected. Normally the sensing signals of the plant are of type analogue voltage, so the model of the digital plant should generate identical signals to avoid that the regulator should be changed to adapt to the system of emulation. Therefore, it is advisable that the HIL system has a digital-analogue conversion stage so that the controller cannot discern whether it is controlling the actual plant or the digital model of it. Once this stage has been achieved, the utility of the HIL system can be maximized.

This project will try to check the characteristics of the conversion modules it gives present in the market when it comes to high frequency systems (100 kHz). As will be seen later these converters are not able to work at such a high frequency of switching, so it will be necessary to design a converter module that is able to supply the deficiencies of the commercial modules.

To test the commercial conversion modules and the one designed in this project a triangular signal will be used first. This triangular shape is common in power converters, in which the coil current has a triangular shape as the different states of the converter alternate. It will be verified that the commercial conversion modules are capable of correctly representing the triangular signal when it has low frequency (about 3 kHz). However, with frequencies around 100 kHz, it will be verified that commercial converters cannot obtain an accurate output while the designed converter offers true reconstruction of the original signal.

In addition to this will also simulate the output of a complete HIL system with a buck converter, making a change from one point of stability to another by checking that the high frequency disturbances present in the transient are represented much more precisely in the built-in converter than in commercials.

Therefore, this project focuses on the design, construction and testing of a DA (Digital-analogue) conversion module capable of reconstructing high frequency signals.

Palabras clave

Hardware In The Loop, Control digital, Fuentes de alimentación conmutadas, Convertidor *buck*, Conversión digital-analógica, FPGA (*Field Programmable Gate Array*).

Keywords

Hardware In The Loop, Digital control, Switching-mode power supplies, buck converter, Digital to analog conversion, FPGA (Field Programmable Gate Array).

Agradecimientos

Para empezar a mi tutor, Alberto, por todas las correcciones, tutorías, consejos y ayuda que me ha ofrecido durante todo el trabajo además de su cercanía. También agradecer a mi ponente, Ángel, por haberme llevado hasta este trabajo.

A mi familia, que siempre me han apoyado y dado ánimos durante estos años de carrera y de vida.

A mi pareja, que me ha ayudado a organizarme y ha tenido las palabras de ánimo y de consejo necesarias en los momentos de flaqueza.

A mis amigos, por hacer más llevaderos estos años y ser lo mejor que me llevo de la carrera.

Gracias.

INDICE DE CONTENIDOS

INDICE DE FIGURAS

INDICE DE TABLAS

1 Introducción

1.1 Motivación

El desarrollo que ha tenido el control digital ha dado lugar a la aparición de nuevas técnicas de pruebas para los reguladores implicados en el proceso, una de las más importantes es la técnica de Hardware In the Loop o HIL.

La idea principal de esta técnica se basa en sustituir el elemento a regular, planta, por un modelo digitalizado (modelo HIL) que trabaja a tiempo real, de forma que no haya diferencia aparente entre el sistema real y el modelo digital. La principal ventaja de un modelo HIL es que el regulador puede funcionar de la misma forma que si estuviera controlando el sistema real, por lo que se obtiene un entorno de pruebas seguro y en muchas ocasiones de menor coste.

En el caso de los sistemas electrónicos, esta técnica cobra especial importancia cuando se aplica al modelado de convertidores de potencia, ya que debido a las características de la planta (altas tensiones y corrientes), las pruebas no siempre pueden hacerse con seguridad, ya que un error en las mismas puede provocar daños materiales y personales. Por ello, una técnica utilizada es la emulación de la planta junto al regulador para, posteriormente, realizar pruebas seguras pero realistas.

Los simuladores mixtos como el formado por un regulador digital y su planta analógica son habitualmente caros, complejos y sobre todo muy lentos. Sin embargo, se puede crear un modelo de la planta para emularse haciendo uso de lenguaje de diseño VHDL en hardware, ya sea un ordenador, FPGA (del inglés Field-Programmable Gate Array) o ASICs (del inglés Application Specic Integrated Circuits), lo que permite comprobar el comportamiento del regulador funcionando en tiempo real o a velocidades muy superiores a las ofrecidas por simulaciones mixtas tradicionales.

Debido a que las simulaciones están emulando el comportamiento de una planta analógica se hace necesaria la conversión de las salidas digitales del modelo que simula a señales analógicas idénticas a las que se tendrían si la planta fuera analógica. De esa forma, al generar las mismas señales que generaría la etapa de sensado de un convertidor real, se podría usar exactamente el mismo regulador, sin realizar ninguna adaptación al mismo. Debe destacarse que es especialmente interesante que el regulador pueda ser probado sin tener que realizar ninguna modificación en el mismo para que la etapa de pruebas sea fiable.

Por todo ello, este Trabajo Fin de Grado se centra en la etapa de conversión digital-analógica de un sistema HIL de alta frecuencia de actualización.

1.2 Objetivos

El presente TFG se centra en desarrollar la etapa de conversión digital-analógica de un modelo HIL de una determinada planta analógica. Para ello, se probarán las distintas soluciones presentes en el mercado, además del diseño de una solución enfocada a la conversión de alta velocidad.

Para que la solución diseñada sea válida deberá cumplir los siguientes requisitos:

- Una frecuencia mínima de 10 MHz, de forma que sea capaz de generar 100 puntos por cada ciclo de conmutación del conversor Buck. De esta manera se conseguirá representar la señal original de forma fiel.

- Alimentaciones de 3,0 o 5,0 V, de forma que no sea necesaria una fuente de alimentación externa a la plataforma de desarrollo.

- Compatibilidad de pines con la plataforma de desarrollo Arty-7 de Digilent.

Como pruebas primero se analizará el comportamiento de los distintos conversores cuando se enfrentan a señales DC, se evaluará su comportamiento dinámico cuando tenemos señales AC y se probarán distintas soluciones de acondicionamiento de señal.

1.3 Organización de la memoria

El capítulo 2 hace una introducción a los diferentes tipos de simulaciones que se pueden realizar cuando tratamos con plantas analógicas y controladores digitales, así como las diferentes formas que hay de digitalizar las plantas para hacer estas simulaciones más rápidas.

En el capítulo 3 se ha realizado una selección y prueba de algunas de las soluciones que ofrece el mercado para la conversión DA (Digita-Analógica).

A lo largo del capítulo 4 se detalla la elección de componentes para el desarrollo del módulo de conversión, así como los cálculos que se han realizado para elegirlos, además de los esquemáticos y rutados.

En el capítulo 5 se muestra el aspecto final del módulo de conversión junto con la FPGA de pruebas, así como los resultados que se han obtenido en comparación con los conversores comerciales probados en el capítulo 3(refcap3).

Finalmente, en el capítulo 6 se han presentado las conclusiones y las posibles líneas de trabajo fututo.

2 Estado del arte

La electrónica de potencia no es un área nueva, pero sí es cierto que últimamente ocupa un puesto muy destacado gracias al auge de las energías renovables.

Con electrónica de potencia se hace referencia a los dispositivos, que permiten modificar flujos de tensión y corriente para adecuarlos a otros dispositivos. Estos dispositivos a veces trabajan disipando altos valores de potencia, lo que hace de las pruebas empíricas caras y peligrosas, ya que, si se producen fallos, estos pueden originar daños tanto materiales como personales.

Tradicionalmente el control de estos dispositivos ha sido analógico, pero debido al enorme desarrollo que ha sufrido la electrónica digital se ha producido un cambio de tendencia hacia los reguladores digitales [1]. Esto supone una gran variedad de ventajas, como la posibilidad de funcionar más rápido, permitir ser implementados en microprocesadores, por lo que no necesitan hardware específico, así como un menor coste. Además de permitir multitud de simulaciones y depuración de errores [2].

Normalmente estos sistemas de control son sistemas en lazo cerrado, esta técnica consiste en unir la salida de la panta a la entrada del regulador como se muestra en la Figura 2.1

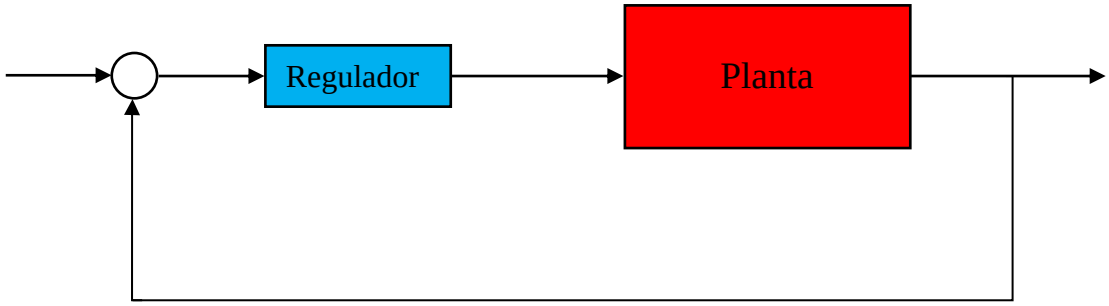


Figura 2.1: sistema en lazo cerrado

Típicamente tanto el regulador como la planta habían sido sistemas analógicos, pero como se ha comentado se ha producido un desplazamiento hacia reguladores digitales. Esto genera un problema, se tiene un regulador digital y una planta analógica, esta combinación se puede simular con diferentes métodos.

El primer método consiste en realizar simulaciones mixtas [3] con herramientas como Matlab/Simulink o Verilog/Spice, manteniendo la planta analógica y el simulador digital. Aparte de simuladores mixtos, también para ello se pueden emplear simuladores independientes uno analógico para la planta y otro digital para el regulador. En cualquier caso, las simulaciones mixtas son sencillas de implementar, pero el principal problema es que son muy lentas [4]. Para hacer simulaciones de varios milisegundos se puede tardar varias horas.

Una de las alternativas a las simulaciones mixtas es realizar simulaciones enteramente digitales, generando un modelo digitalizado de la planta mediante lenguaje VHDL, para esto se pueden emplear tres métodos:

1. *Real*: coma flotante no sintetizable, a pesar de estar soportado por los simuladores no es sintetizable, por lo que no puede implementarse en hardware [4]. Como ventaja tiene una gran resolución ya que trabaja con un estándar de 64 bits, también llamado de doble precisión.

2. *Floating point*: la planta puede ser descrita con señales de coma flotante e implementada utilizando ciertas herramientas de síntesis. Esto permite que la planta sea emulada, pero consume gran cantidad de recursos hardware [4]. A pesar de que este sistema sí que es sintetizable y la implementación es sencilla como desventaja tiene una resolución menor, ya que trabaja con 32 bits, y los tiempos de síntesis son elevados.

3. *Fixed point*: la planta se diseña con señales en coma fija. Este tipo de implementación conlleva un mayor tiempo de diseño, pero permite al sistema ser simulado en hardware usando menos recursos que las implementaciones en coma flotante (*Floating point)* además de soportar mayores frecuencias de simulación. El mayor tiempo de diseño se debe a que el programador tiene que determinar la posición de coma para cada señal de coma fija [4]. Como ejemplo en [5] y [6] se usó un modelo en Matlab que convertía de forma automática a lenguaje VHDL la planta digitalizada en coma fija.

Las simulaciones de convertidores de potencia de este tipo de modelos HDL pueden llegar a ser más rápidas que las simulaciones analógicas [7], pero pueden no ser suficientemente rápidas cuando se trata de simulaciones muy largas o complejas.

Finalmente, la solución a este tipo de simulaciones son los sistemas HIL (*Hardware-In-the-Loop*). En este tipo de sistemas se realiza una implementación en *hardware* digital para implementar el sistema en lazo cerrado.

Como primera solución en [8] se implementaron sistemas a tiempo real en ordenadores, pero solo eran factibles para baja frecuencia de conmutación (20 kHz). Para poder simular sistemas de alta frecuencia de conmutación (100 kHz) se optó por utilizar FPGAS en [9]. En dicho trabajo se consiguió simular a tiempo real dos unidades de conversión en menos de 60 ns. En [5] se ofreció una primera implementación de un sistema ac sobre una FPGA además de arrojar muy buenos resultados en términos de precisión y eficiencia cuando la simulación se encontraba en un punto transitorio. Otro ejemplo lo podemos encontrar en [6] donde se generó un modelo digitalizado de la planta en coma fija usando la herramienta de Matlab-Simulink, que genera automáticamente el sistema en VHDL. Ahí se comprobó que la FPGA era capaz de reproducir de forma realista las no linealidades y perdidas del sistema a tiempo real.

Con este tipo de modelo de la planta se consigue tener las mismas señales de salida que si ésta fuera analógica, pero se es necesaria una etapa de conversión Digital-Analógica entre la planta y el regulador, ya que el regulador trabaja con señales analógicas en su entrada.

Este TFG trata de diseñar y construir esa etapa de conversión Digital-Analógico que funcione como nexo entre la planta digital y el regulador cuando se tiene como planta un convertidor de potencia que trabaja a alta frecuencia.

3 Comparativa de conversores comerciales

3.1 Elección de conversores

La primera parte de este Trabajo de Fin de Grado consta de una comparativa entre las diferentes soluciones disponibles en el mercado para realizar conversiones DA (Digital-Analógico).

Este trabajo se centra en diseñar la etapa de conversión digital-analógica de un sistema Hardware-in-the-loop que permite simular fuentes de alimentación conmutadas. Cabe destacar que el modelo del convertidor conmutado actualiza sus variables de estado cada 20 ns, pero la salida analógica del modelo puede tener menor tasa de actualización. A la hora de elegir la etapa de conversión digital-analógica se necesitan una serie de características, que se pueden resumir en:

- Si es posible frecuencia mínima de 10 MHz para poder generar 100 puntos en cada ciclo de conmutación en los convertidores que funcionan a 100 kHz. De esa forma se representará con gran fiabilidad las señales que se están calculando en el modelo HIL.

- Si no es posible frecuencia mínima de 100 kHz para poder generar al menos un punto en cada ciclo de conmutación en los convertidores que funcionan a 100 kHz. De esa forma, al menos se podrá representar el valor medio de cada ciclo de conmutación.

- Protocolo de comunicación que permita dichas velocidades y que no sea éste el que limite la velocidad efectiva de actualización de valores en la salida del DAC.

- Alimentaciones soportadas de 3,3 o 5,0 V, ya que desde la propia FPGA somos capaces de obtener estas tensiones y en caso de necesitar otra tensión de alimentación, habría sido necesario disponer de una fuente de alimentación externa.

- Compatibilidad de pines con la plataforma de desarrollo, Arty-7 de Digilent [10], esto es que tenga un conector PMOD o Arduino Shield.

- Como algo positivo, pero no imprescindible el número de canales que tenga. Dado que los modelos de los convertidores conmutados tendrán entre 3-4 salidas, se valorará que haya dicho número de canales. En cualquier caso, esta condición no es imprescindible.

- Como algo positivo, pero no imprescindible el precio que tenga. Ya que este conversor es un prototipo y no un modelo comercial, por lo que no es necesario ajustar el precio al céntimo.

Todos estos requisitos quedan representados en la Tabla 3.1: Comparativa DACs comerciales. De esta, se van a explicar los campos y a desarrollar aquellos valores que no se obtienen directamente de la documentación del fabricante, cogiendo como ejemplo el componente Pmod DA4:

- Tiempo de comunicación (tramas): este dato se obtiene a partir de la frecuencia de trabajo y el número de bits que ocupa cada trama. Muestra el tiempo necesario para transmitir un dato del emisor al receptor. Para el caso de este componente tenemos una frecuencia de trabajo de 50 MHz y una longitud de trama de 32 bits, por lo que queda un resultado tal que:

$$ft = \frac{50\ MHz}{32} = 1.5625\,\frac{MHz}{bit}\text{, lo que nos da un tiempo de } Tt = \frac{1}{ft} = 640\ ns$$

- Frecuencia final 1 canal: frecuencia máxima a la que puede trabajar un canal. Se obtiene a partir del tiempo de comunicación de las tramas y del tiempo de comunicación analógica. Para el caso de este componente es la siguiente:

$$f_{1canal} = \frac{1}{t_t + t_{comanal}} = \frac{1}{0{,}640\ \mu s + 8{,}5\ \mu s} = 109.4\ KHz$$

- Frecuencia final 3 canales: muestra, si hay, la frecuencia a la que serían capaces de trabajar tres canales en paralelo, esta se calcula igual que para el caso anterior teniendo en cuenta el tiempo de comunicación de las tramas y el tiempo de comunicación analógica. Para el caso de este componente es la siguiente:

$$f_{3canal} = \frac{1}{3 * t_t + t_{comanal}} = \frac{1}{3 * 0{,}640\ \mu s + 8{,}5\ \mu s} = 0{,}095\ KHz$$

Ahora se van a explicar aquellos campos de la tabla que se obtienen directamente de las hojas de datos de los fabricantes, pero no son evidentes:

- Slew Rate: ofrece información sobre cómo se modifica el valor analógico a la salida. Muestra cuantos voltios puede modificarse la salida cada segundo. Pero, al igual que ocurre en otros sistemas electrónicos, hay un tiempo de recuperación en la sobre oscilación que hay en la salida. [11]

- Settling Time: tiempo que tarda en estabilizarse una salida, incluye los dos parámetros anteriores más retrasos asociados al procesamiento de la nueva consigna. [11]

- Tensión de salida: valor de tensión que ofrecen los módulos de conversión a la salida. Rail-to-Rail indica que el rango de valores que puede representar va desde -Vcc a Vcc.

De todos los DACs presentados en la Tabla 3.1 se han escogido dos, los mostrados en la Tabla 3.2. Estos dos DACs cumplen con las especificaciones expuestas anteriormente, ambos tienen un protocolo de comunicaciones que permite una tasa de actualización razonable, tensiones de alimentación comprendidas entre 2,7 y 5,5 V, por lo que no son necesarias fuentes de alimentación externas, además de tener más de un canal, en el caso del conversor Pmod DA4 se dispone de 8 canales y para Pmod DA2 se dispone de 2. Como punto negativo no cumplen con la frecuencia requerida de 10 MHz, que permitiría representar 100 puntos en cada ciclo de conmutación, pero son capaces de legar a 100 kHz, lo que permite representar al menos un punto por cada ciclo de conmutación.

Componente	Modelo DAC	Fabricante	Conector	Conector Analógico	Protocolo	Tiempo Comunicación (tramas)	Slew Rate (V/ µs)	Settling Time (µs)*	Frecuencia final 1 canal	Frecuencia final 3 canales	N.º Canales	N.º Bits	Tensión PMOD/Shield	Tensión de salida	Precio	Válido
Pmod DA4	AD5628	Analog Devices	Pmod	Pin	SPI	6,40E-07	1,2	4	1,09E+05	9,60E+04	8	12	2,7-5,5V	Rail to rail	$24,99	Sí
Pmod DA2	DAC121S101	Texas Instruments	Pmod	Pin	GPIO /SPI	5,33E-07	1	12	7,39E+04	-	2	12	2,7-5,5V	Rail to rail	$19,99	Sí
Pmod DA1	AD7303	Analog Devices	Pmod	Pin	GPIO /SPI	5,33E-07	7,5	1,2	2,55E+04	2,48E+04	4	8	2,7-5,5V	Rail to rail	$19,99	Sí
Analog Shield	DAC8564	Texas Instruments	Arduino	Pin	SPI	3,20E-07	2,2	10	5,18E+04	5,01E+04	4	16	3,3-5V	Rail to rail	$49,99	Sí
LCINDA1	MCP4725	Microchip	No compatible	Pin	I2C	5,29E-06	0,55	9	7,12E+04	-	1	12	2,7-5V	Rail to rail	$6,24	No
LINCDA2	MCP4725	Microchip	No compatible	Pin	I2C	5,29E-06	0,55	9	7,12E+04	-	1	12	2,7-5V	Rail to rail	$4,79	No

Tabla 3.1: Comparativa DACs comerciales

Componente	Modelo DAC	Fabricante	Conector	Conector Analógico	Protocolo	Tiempo Comunicación (tramas)	Slew Rate (V/ µs)	Settling Time (µs)*	Frecuencia final 1 canal	Frecuencia final 3 canales	N.º Canales	N.º Bits	Tensión PMOD/Shield	Tensión de salida	Precio
Pmod DA4	AD5628	Analog Devices	Pmod	Pin	SPI	6,40E-07	1,2	4	1,09E+05	9,60E+04	8	12	2,7-5,5V	Rail to rail	$24,99
Pmod DA2	DAC121S101	Texas Instruments	Pmod	Pin	GPIO/ SPI	5,33E-07	1	12	7,39E+04	-	2	12	2,7-5,5V	Rail to rail	$19,99

Tabla 3.2: DACs a probar

*Todos los valores de Settling Time se han cogido con cambios Full-Scale (0 a 5 V)
DACs comerciales referencias [12 - 15]

3.1 Protocolo de comunicaciones SPI (Serial Peripheral Interface)

Como se ha visto, los dos DACs elegidos trabajan con un protocolo de comunicaciones basado en SPI, por lo que se va a profundizar en este protocolo. El protocolo SPI, es un protocolo de comunicaciones síncrono, incluye una línea de reloj, un dato entrante, dato saliente y un pin de *chip select*, que permite cortar la comunicación con el periférico que recibe los datos; con lo que se consigue multiplexar múltiples líneas de reloj.

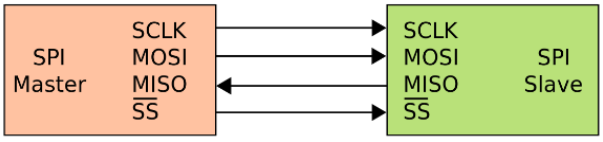


Figura 3.2: Conexiones protocolo SPI, figura obtenida de [16]

- **SCLK:** señal de reloj que marca la sincronización entre los dispositivos.
- **MOSI (Master Output Slave Input):** salida de datos desde el maestro (sistema HIL, FPGA) al esclavo (conversor DAC)
- **MISO (Master Input Slave Output):** salida de datos desde el esclavo (conversor DAC) al maestro (sistema HIL, FPGA).
- **SS/Select:** señal que permite que múltiples DACs puedan ser conectados al mismo bus de comunicaciones siempre que cada uno tenga una señal SS que se active cuando sea oportuno.

Además de estas líneas de comunicación el protocolo necesita que el reloj SCLK este configurado en polaridad y fase, esto va a indicar si la captura de datos se realiza en flanco de subida o bajada y si el primer flanco generado va a ser de subida o bajada. En la Figura 3.3 se muestra cómo afectan las distintas configuraciones posibles de polaridad y fase.

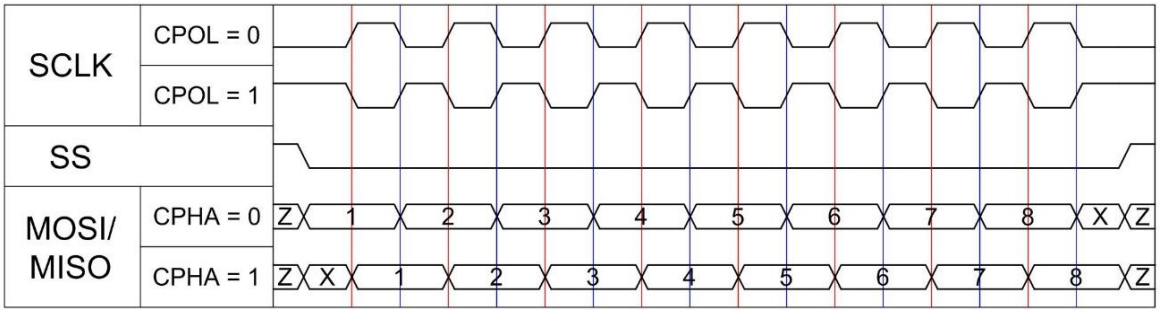


Figura 3.3: Posibles configuraciones de polaridad y fase, figura obtenida de [17]

Para implementar este protocolo en la tarjeta de pruebas se ha hecho uso del módulo SPI_master [17] (Figura 3.4):

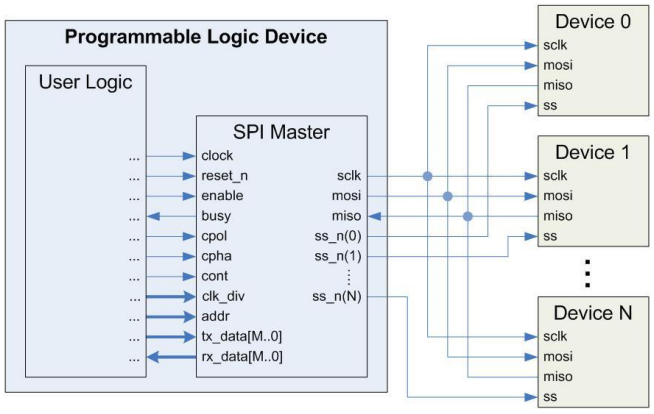


Figura 3.4: módulo SPI_master, figura obtenida de [17]

Para poder comunicarse con los DACs comerciales seleccionados, se han configurado los valores de polaridad y fase con cphol = 0 y cpha = 1, con lo que se tiene que el reloj SCLK empieza en 0 y los datos son capturados en un flanco de subida de SCLK.

Aunque los dos DACs comerciales comparten el protocolo SPI, las tramas de comunicación son diferentes en cada caso.

Para el conversor DA Pmod DA2 se utilizan tramas de datos de 16 bits como se ve en la Figura 3.5: Trama de 16 bits del conversor Pmod DA2. Una trama consta de 2 bits sin funcionalidad, seguidos de la configuración del modo de ahorro de consumo y finalizando con el dato de 12 bits de DAC. Este conversor, a diferencia del Pmod DA4 no necesita configuración previa.

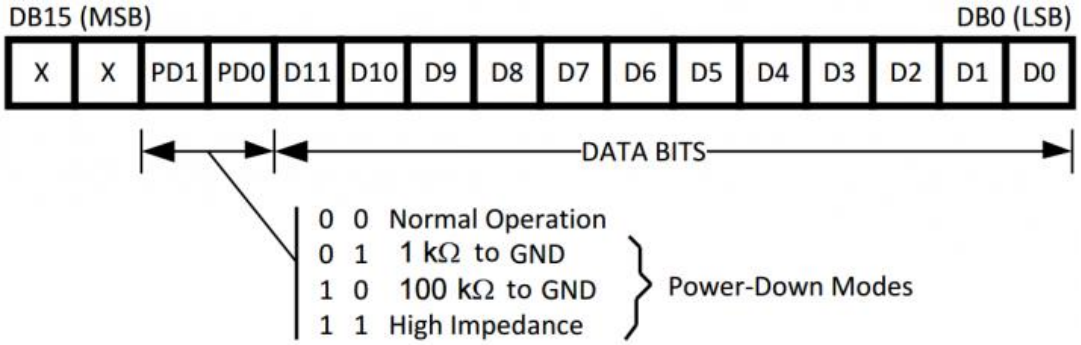


Figura 3.5: Trama de 16 bits del conversor Pmod DA2 [13]

En el caso del módulo Pmod DA2, el conversor DA se configurará en modo normal, por lo que los bits PD1 y PD0 tomarán el valor 00. Un ejemplo de esta trama con el valor 4088d=111111111000b es xx00111111111000 que en analógico correspondería a 3,29 V. El módulo tiene dos DACs en paralelo, cada uno con sus puertos MOSI y MISO. Por eso el protocolo no incluye información sobre el número de canal. En todo momento funcionan los dos de forma paralela. [13]

En el caso del módulo Pmod DA4 se debe transmitir una trama de 32 bits como se ve en la Figura 3.6. Una trama consta de 4 bits sin funcionalidad, 4 bits que permiten mandar comandos de configuración al conversor, 4 bits con los que se puede seleccionar el canal,

que en el caso de escribir 1111 habilita todos los canales al mismo tiempo, 12 bits que corresponden al dato a convertir en el DAC y 8 bits sin funcionalidad.

Algunos de los códigos de configuración citados son, por ejemplo, el código 0100 que permite encender o apagar el DAC o el código 1000 que da opción a habilitar la referencia interna, en este caso de 1,25 V. [12]

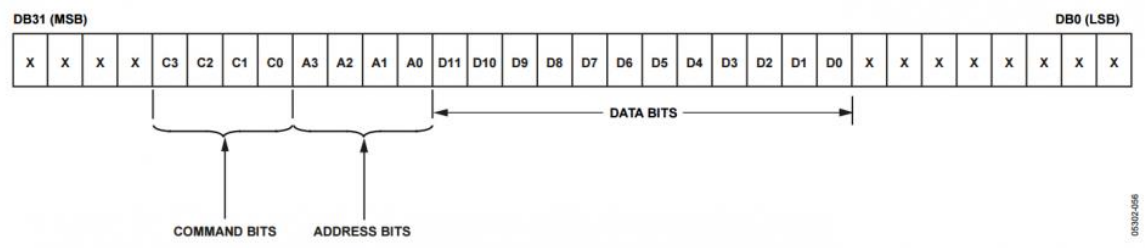


Figura 3.6 : trama de 32 bits del conversor Pmod DA4 [12]

A diferencia del conversor anterior, en este es necesario mandar un primer comando de configuración que fija la referencia interna, este primer comando es el siguiente TX_CMD_REF_INT = xxxx|1000|xxxx|xxxxxxxxxxxx|xxxxxxxx, después de esta primera etapa de inicialización ya se pueden mandar datos para convertir, por ejemplo, para el valor 6DBd = 101101101101b formamos la trama xxxx|0011|1111|101101101101|xxxxxxxx, los bits 27 a 24 corresponden a bits de configuración que con valor 0011 están indicando que se tiene que actualizar el valor del canal del DAC seleccionado, los bits 23 a 20 seleccionan el canal que al estar a 1111 indica que se están seleccionando todos los canales y los bits 19 a 8 contienen el dato a convertir. Para este caso la salida analógica arrojará un valor de 0,8926 V [12].

3.2 Limitaciones

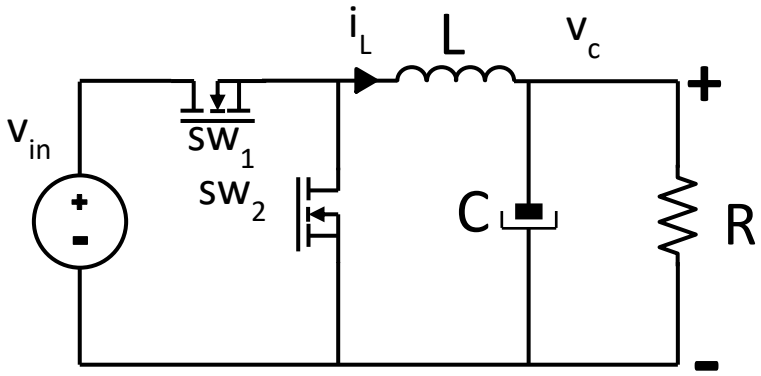


Figura 3.7: Esquema de un convertidor Buck

Estos conversores se van a utilizar para representar en tensiones analógicas los valores calculados por un emulador de un convertidor conmutado. Entre las variables de estado hay dos principales: tensiones y corrientes. Entre ellas, la más exigente en términos de velocidad es la corriente que circula por la bobina del conversor (ver Figura 3.7). Dicha corriente se ve afectada en gran medida por la conmutación del conversor, siendo habitual que tenga oscilaciones de varios amperios de amplitud a una frecuencia de cientos de kilohercios. La FPGA empleada para generar los datos a convertir tiene una tasa de actualización de 50

MHz, por lo que tenemos un periodo de reloj de 20 ns, o lo que es lo mismo, un dato cada 20 ns.

Los conversores que se han analizado tienen una frecuencia de muestreo de:

- Pmod DA2: según el fabricante del DAC integrado en esta placa, trabaja a una frecuencia de 30 MHz, y las tramas que convierte son de 16 bits, por lo que $fs = \frac{30MHz}{16} = 1{,}875\ MHz$, lo que nos da un $Ts = \frac{1}{1{,}875\ MHz} = 533{,}33\ ns$ para obtener una nueva muestra.

- Pmod DA4: según el fabricante del DAC integrado en la placa, este trabaja a una frecuencia de 50 MHz, y las tramas que convierte son de 32 bits, por lo que $fs = \frac{50\ MHz}{32} = 1{,}5625\ MHz$, lo que nos da un $Ts = \frac{1}{1{,}5625\ MHz} = 640\ ns$ para obtener una nueva muestra.

La señal que vamos a utilizar para probar las diferentes placas (Figura 3.8) es una señal triangular periódica de periodo 10 µs y amplitud 3,3 V, ya que es el patrón que tendrá la corriente de la bobina en el convertidor Buck que se verá simulado en el capítulo de resultados.

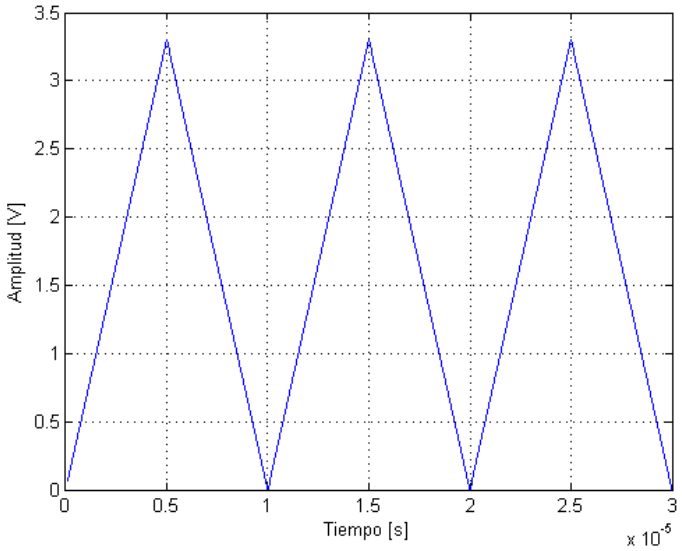


Figura 3.8: patrón de la corriente en la bobina de un convertidor Buck

Para poder obtener una señal analógica lo más parecida posible a esta necesitaremos un conversor digital-analógico que trabaje, según el teorema de Nyquist, al menos a Fs>2*Fsw, esto es un conversor que sea capaz de transformar al menos una señal con el doble de ancho de banda.

Esta señal triangular tiene infinitas componentes que se van atenuando en función de la frecuencia, cogiendo 100 puntos en cada ciclo del triángulo (una frecuencia 100 veces mayor que la frecuencia fundamental) ya se puede representar con fiabilidad el triángulo. De esa forma se recogen correctamente las primeras 25 componentes mostradas en la Figura 3.9.

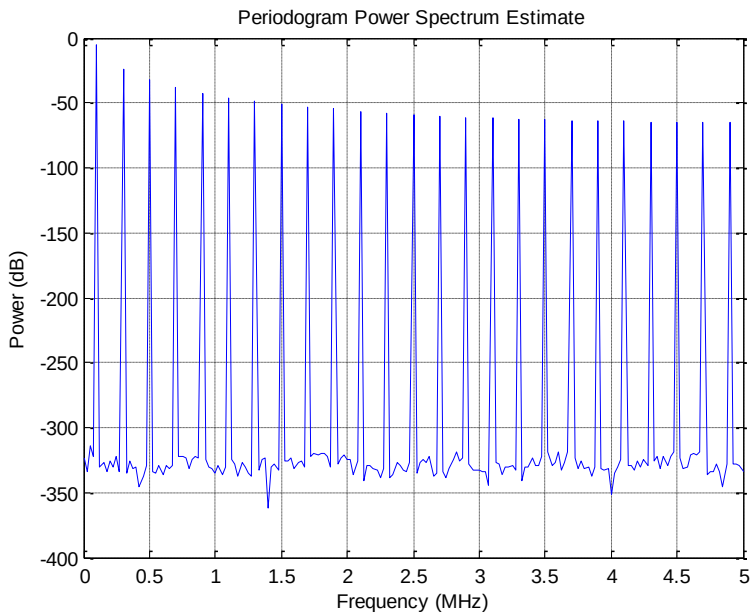


Figura 3.9: componentes espectrales de potencia del triángulo representado en la Figura 3.7

En el caso de la señal mostrada en la Figura 3.8 tenemos un ancho de banda de 5 MHz, por lo que será necesario un conversor que trabaje al menos al doble de esta frecuencia, $f_s > 10MHz$.

Para el caso del módulo Pmod DA2, al ser capaz de transformar una trama cada 640 ns y tener una frecuencia de 1,875 MHz, solo es capaz de reconstruir la señal de forma aproximada. Se obtienen un total de $\#tramas\ por\ periodo = \frac{10\ \mu s}{533{,}33\ ns} = 18{,}75 \approx 18\ tramas$ por periodo, quedando la señal reconstruida tal como se muestra en la Figura 3.10

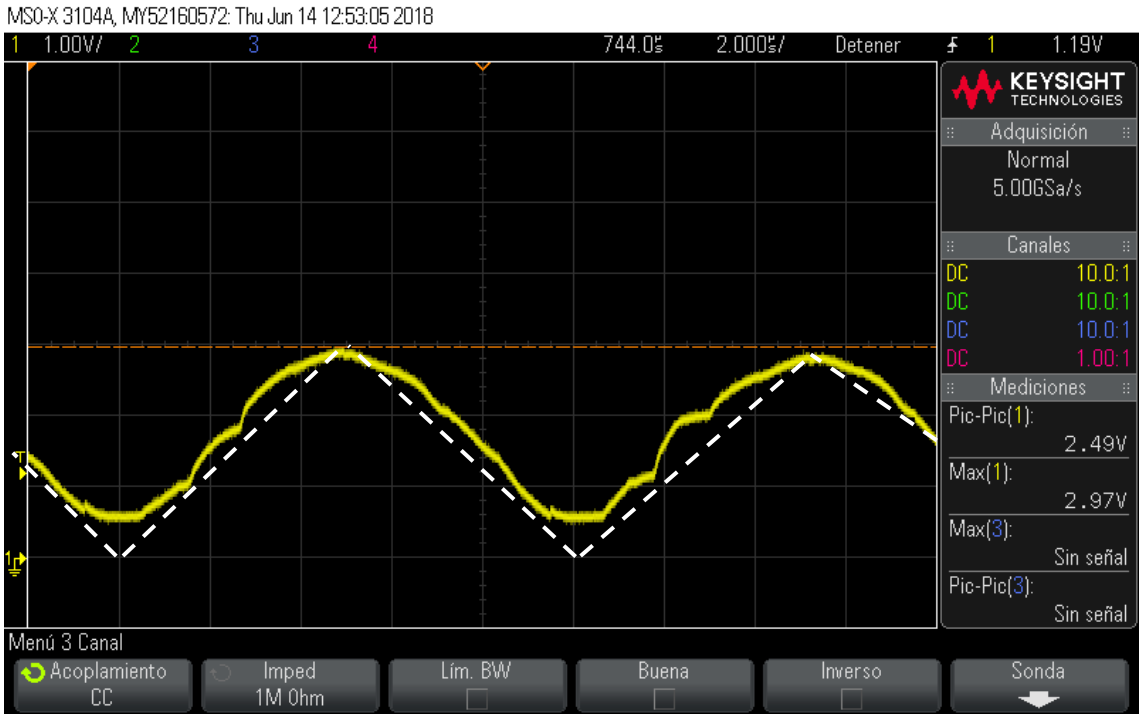


Figura 3.10: señal reconstruida por el conversor Pmod DA2

Como se puede apreciar en la Figura 3.10 el resultado no es totalmente fiel con la señal original de la Figura 3.8, esto es debido a que no se llega a los 10 MHz que conseguirían reconstruir una señal totalmente idéntica. En la

Figura 3.10: señal reconstruida por el conversor Pmod DA2 también se ha representado superpuesta en color blanco y discontinua cuál debería ser la respuesta ideal de un conversor capaz de representar la señal original con exactitud.

Para el caso del módulo Pmod DA4, al ser capaz de transformar una trama cada 533,33 ns y tener una frecuencia de 1,5625 MHz, solo es capaz de reconstruir la señal de forma aproximada. Se obtendrán un total de $\#tramas\ por\ periodo = \frac{10\ \mu s}{640\ ns} = 15{,}625\ \approx 15\ tramas$ por periodo de señal, que son menores que los 25 puntos necesarios para reconstruir la señal de forma fiel, quedando la señal reconstruida tal como se muestra en la Figura 3.11

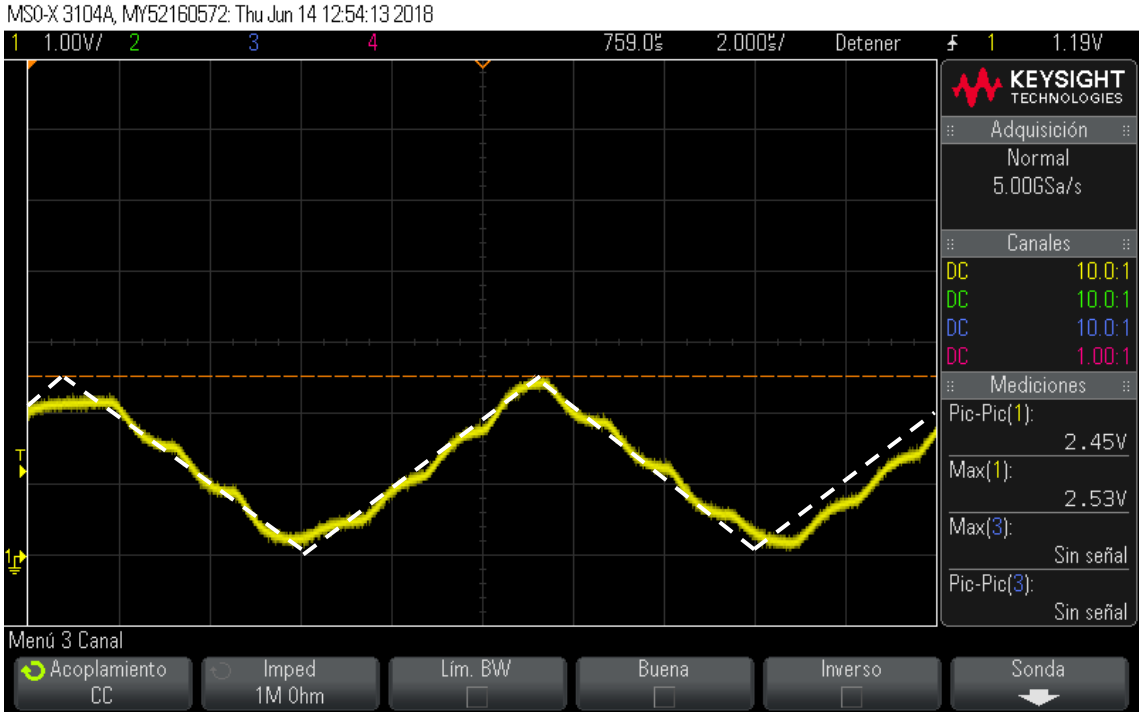


Figura 3.11: señal reconstruida por el conversor Pmod DA4

Como se puede ver en la Figura 3.11 en el caso del módulo Pmod DA4 sucede, como era de esperar, el mismo comportamiento que para el módulo Pmod DA2, no pudiéndose representar correctamente el triángulo original de la Figura 3.8.

4 Circuito acondicionador DAC

En el capítulo 3 se ha visto que, aunque los DACs comerciales permiten perfectamente representar un punto por cada ciclo de conmutación, se prefiere que la corriente pueda ser representada con alta resolución. Por tanto, es necesario construir una tarjeta de conversión DA personalizada para cumplir todos los requisitos citados en el anterior capítulo. En particular, este conversor va a suplir la principal carencia de las placas comerciales, que es la frecuencia de actualización de datos.
Para poder decidir entre la vasta oferta de chips conversores de los distintos fabricantes se van a fijar una serie de características a cumplir:

- Tasa de muestreo mínima de al menos 20 Msps (Millones de muestras por segundo), ya que lo ideal sería que tomase una muestra cada ciclo de reloj, de forma que no se perdiera ningún dato generado por el emulador del convertidor de potencia.

- Resolución de al menos 12 bits para no perder información en el proceso de conversión.

- Protocolo de comunicación que no suponga un cuello de botella.

- Alimentaciones soportadas de 3,3 o 5,0 V, ya que la propia FPGA es capaz de obtener estas tensiones. En caso de necesitar otra tensión de alimentación, habría sido necesario disponer de una fuente de alimentación externa.

- Tipo de encapsulado que permita ser soldado a mano, de forma que se pueda realizar un prototipo de forma fácil.

- Como algo positivo, pero no imprescindible, el número de canales que tenga. Dado que los modelos de los convertidores conmutados tendrán entre 3-4 salidas, se valorará que haya dicho número de canales. En cualquier caso, esta condición no es imprescindible.

- Como algo positivo, pero no imprescindible, el precio que tenga. Ya que este conversor es un prototipo y no un modelo comercial, éste no es un factor crítico.

Teniendo en cuenta estas características, se ha seleccionado un conjunto de conversores mostrado en la Tabla 4.1. Como podemos ver en la citada tabla, todos los DACs suficientemente rápidos ofrecen la salida en corriente, por lo que será necesario una etapa posterior de amplificación y conversión a tensión.

De esta tabla se ha elegido candidato para las pruebas el DAC904U [18], por ser de 14 bits, cantidad suficiente para tener una buena resolución, ser capaz de tomar 200 Msps, número de muestras suficientes, además de tener un encapsulado SOIC que permite realizar las soldaduras a mano con mayor facilidad que si fuera TSSOP. Además de éste fue candidato el conversor AD9764RUZ [19] por ser ambos compatibles en pines (Anexos A).

Modelo DAC	Fabricante	N.º Bits	N.º Canales	Muestras por segundo	Alimentación	Montaje	Encapsulado	Comunicación	Referencia	Salida	Precio
DAC902U	Texas Instruments	12	1	200 Msps	5 V	Superficial	SOIC	Paralelo	Externa, Interna	Corriente	12,47 €
DAC902E	Texas Instruments	12	1	200 Msps	5 V	Superficial	TSSOP	Paralelo	Externa, Interna	Corriente	12,47 €
AD5684RBRUZ	Analog Devices	12	4	25 Msps	2,7-5,5 V	Superficial	TSSOP	Serie	Interna	Tensión	12,76 €
AD5685RARUZ	Analog Devices	14	4	25 Msps	2,7-5,5 V	Superficial	TSSOP	Serie	Interna	Tensión	13,24 €
AD9762ARUZ	Analog Devices	12	2	125 Msps	2,7-5,5 V	Superficial	TSSOP	Paralelo	Interna	Corriente	13,82 €
DAC904U	Texas Instruments	14	1	200 Msps	5 V	Superficial	SOIC	Paralelo	Externa, Interna	Corriente	16,90 €
AD9752ARZ	Analog Devices	12	2	125 Msps	5 V	Superficial	SOIC	Paralelo	Externa, interna	Corriente	12,08 €
AD9754ARZ	Analog Devices	14	1	125 Msps	5 V	Superficial	SOIC	Paralelo	Externa, Interna	Corriente	13,83 €
AD9762ARZ	Analog Devices	12	1	125 Msps	5 V	Superficial	SOIC	Paralelo	Externa, Interna	Corriente	12,36 €
AD9764ARZ	Analog Devices	14	1	125 Msps	5 V	Superficial	SOIC	Paralelo	Externa, Interna	Corriente	14,47 €
AD9764ARUZ	Analog Devices	14	1	125 Msps	2,7-5,5 V	Superficial	TSSOP	Paralelo	Interna	Corriente	11,29 €

Tabla 4.1: Elección de DACs

4.1 Circuito acondicionador

Como se ha comentado anteriormente, todos los conversores suficientemente rápidos ofrecen la salida en corriente. Es importante tener en cuenta que el sistema HIL tiene que generar las mismas señales que el regulador de la fuente de alimentación está esperando.

Dado que los reguladores suelen leer las señales de control a través de conversores de tensión analógico-digitales, la salida del DAC en corriente utilizado en este TFG debe ser traducida a tensión. Por ello, se debe añadir dicha etapa de conversión corriente-tensión, y ser amplificada a los valores esperados por un regulador.

4.1.1 Amplificador operacional

El amplificador operacional que se ha elegido para implementar las siguientes soluciones es uno de los recomendados por el fabricante del DAC AD9764: AD8041 [20]. Este componente es un amplificador que ofrece una salida Rail to Rail, es capaz de llegar a los valores de alimentación.

Tiene un ancho de banda de 160 MHz, suficiente para poder trabajar con nuestra señal, además de poder ser alimentado con una única fuente de 3 o 5 V, esto es Vs+ = +5 V y Vs- = 0 V, evitando así tener que generar un voltaje de -3 o -5 V para el pin V-.

En estos pines de alimentación Vs+, se añadirán condensadores de 100 nF en paralelo para mitigar posibles efectos de ruido procedentes de la alimentación.

4.1.2 Salida diferencial utilizando un amplificador operacional

Si se opta por una salida diferencial utilizando un amplificador operacional en la etapa de acondicionamiento queda el circuito mostrado en la Figura 4.12. **¡Error! No se encuentra el origen de la referencia.**El amplificador operacional esta alimentado con 5 V.

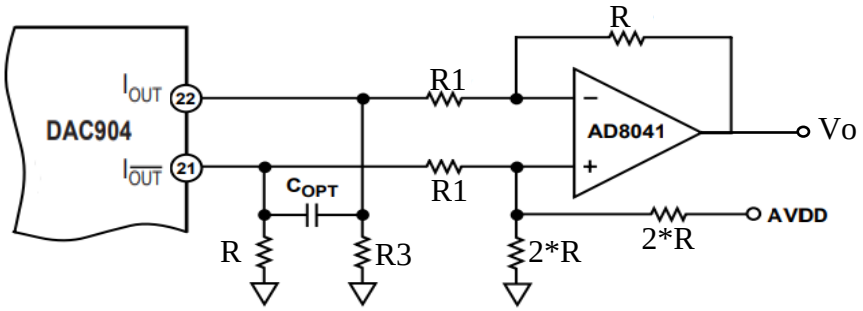


Figura 4.12: Circuito diferencial de acoplo DC de una única fuente

Para esta forma de acondicionar la salida los pines I_{OUT} e $I_{\overline{OUT}}$ siempre tomarán valores de manera que la suma $I_{OUT} + I_{\overline{OUT}} = 20\,mA$, estos valores se obtienen de la siguiente forma:

$$I_{OUT} = \frac{DACCODE}{2^{14}} * 0{,}02$$

$$I_{\overline{OUT}} = \frac{2^{14} - 1 - DACCODE}{2^{14}} * 0{,}02$$

Sabiendo que la corriente máxima a la salida del conversor son 20 mA se puede determinar la tensión en su salida, se ha elegido un valor de R3 = 27 Ω, con esto queda:

$$V_{oDACMAX} = 20\ mA * 27\ \Omega = 0{,}54\ V$$

Para la ganancia tenemos dependencia de dos términos:

$$G_{\Delta V\mp \to \Delta V_0} = \frac{R2}{R1 + R3}$$

$$G_{\Delta I \to \Delta V\mp} = R3//(R1 + R2) \approx R3$$

Con esto queda que la ganancia total es:

$$G_{\Delta I \to \Delta V_0} = G_{\Delta V\mp \to \Delta V_0} * G_{\Delta I \to \Delta V\mp} = R3 * \frac{R2}{R1 + R3}$$

Con esta expresión de la ganancia ya se puede despejar cuál es la función que determina el valor a la salida del operacional:

$$Vo = \frac{AVDD}{2} + G_{\Delta I \to \Delta V_0} * \Delta I$$

El valor ΔI se calcula como:

$$\Delta I = I_{OUT} - I_{\overline{OUT}} = \frac{DACCODE}{2^{14}} * 0{,}02 - \frac{2^{14} - 1 - DACCODE}{2^{14}} * 0{,}02 = \left(\frac{2 * DACCODE}{2^{14}} - 1\right) * 0{,}02$$

Esta tensión parte desde el punto de equilibrio $Vo = \frac{AVDD}{2}$, esto es gracias al AVDD conectado a V+ a través de la resistencia 2*R2, cuando $\Delta I = 0$ ($I_{OUT} = I_{\overline{OUT}}$), lo que nos da un valor de $Vo = 2{,}5\ V$. Sabiendo esto se puede calcular el valor de R2 con el que se consigue un $\Delta Vo = 2{,}5\ V$, ya que partimos del punto de equilibrio $Vo = 2{,}5\ V$, y se conoce que en el punto $Vomax = 5\ V$ se tiene $\Delta I = 20\ mA$, despejando la siguiente ecuación:

$$5 = \frac{AVDD}{2} + G_{\Delta I \to \Delta V_0} * \Delta I \to 2{,}5 = G_{\Delta I \to \Delta V_0} * \Delta I = R3 * \frac{R2}{R1 + R3} * \Delta I$$

Se conoce el valor de R3 = 27 Ω, y el valor de R1 se obtiene del datasheet como 225 Ω, pero al no existir valores comerciales de esta resistencia se opta por colocar una de 226 Ω, valor que no supondrá una variación despreciable frente al resto de resistencias. Sabiendo esto se despeja el valor máximo que puede tomar R2 como:

$$R2max = \frac{2{,}5}{0{,}02} * \frac{226 + 27}{27} = 1171\ \Omega$$

Se opta por un valor de R2 = 1 kΩ, y por ende 2*R2 = 2 kΩ. Con esto tenemos un valor de ganancia de:

$$G_{\Delta I \to \Delta V_0} = R3 * \frac{R2}{R1 + R3} = \frac{27 * 1000}{226 + 27} = 106{,}72$$

Y el valor de $Vomax = \frac{AVDD}{2} + G_{\Delta I \to \Delta V_0} * \Delta I = 2{,}5 + 106{,}72 * 0{,}02 = 4{,}6344\ V$. El circuito final con los valores de las resistencias queda representado en la Figura 4.13.

Con esta configuración a la salida se obtienen los valores teóricos mostrados en la Tabla 4.2.

Consigna DAC	Valor DAC %	$I_{OUT}(A)$	$I_{\overline{OUT}}$ (A)	ΔI (A)	Vout (V)
0	0%	0,00	0,0200	-0,0200	0,37
2048	12,5%	0,0025	0,0175	-0,0150	0,90
4096	25%	0,0050	0,0150	-0,0100	1,43
8192	50%	0,0100	0,0100	0,0000	2,50
12288	75%	0,0150	0,0050	0,0100	3,57
14336	87,5%	0,0175	0,0025	0,0150	4,10
16384	100%	0,0200	0,0000	0,0200	4,63

Tabla 4.2: Valores teóricos salida diferencial

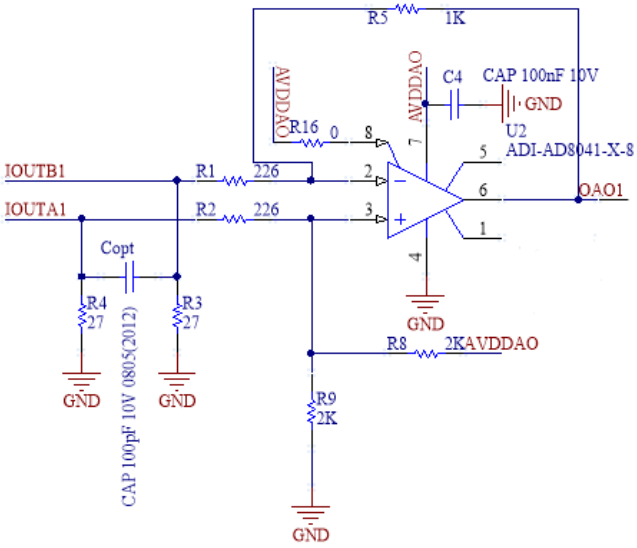


Figura 4.13: Salida diferencial

4.1.3 Salida con amplificador operacional en configuración no inversora

Para este tipo de configuración la salida es *single ended* y el terminal $I_{\overline{OUT}}$ se conecta directamente a tierra como se muestra en la Figura 4.145.

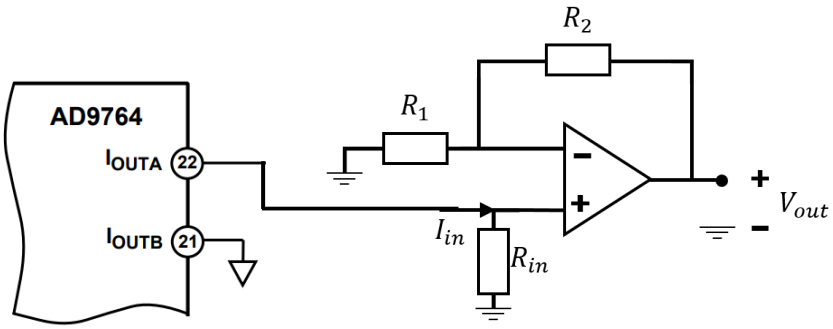


Figura 4.14: Salida single ended no inversora

Igual que para la configuración anterior la corriente total a la salida es 20 mA, y el DAC distribuye según la consigna, la tensión de entrada V_+ viene determinada por el valor de la resistencia R_{in} y la corriente I_{in} de la siguiente manera:

$$V_+ = I_{in} * R_{in}$$

La forma habitual de un circuito amplificador no inversor carece de la resistencia R_{in}, pero en este caso al tener una señal de entrada en corriente se hace necesaria una conversión a tensión.

La salida final V_{out} de este circuito sigue la ecuación:

$$V_{out} = \left(1 + \frac{R2}{R1}\right) * V_+$$

Mediante el cociente R2/R1 se puede modelar la ganancia del circuito y en consecuencia la variación de valores a la salida. Como resistencia de entrada hemos escogido un valor de 47 Ω, que no supone una carga elevada para el DAC. Con ésta se tiene un valor de V_{+max} = 20 mA*47 Ω = 0,94 V. Como se quiere aprovechar el rango máximo de tensiones del amplificador que va desde 0 a 5 V, será necesaria una ganancia de 5,32, lo que nos da un cociente $\frac{R2}{R1}$ = 4,32.

Conseguir este valor de ganancia con resistencias comerciales es complejo, por lo que se ha optado por utilizar como resistencias R2 = 1 kΩ y R1 = 3,9 kΩ. Con esto se tiene una relación $\frac{R2}{R1} = 3{,}9$ y una ganancia de 4,9. Con estos valores de resistencias el esquemático final queda como el mostrado en la Figura 4.156.

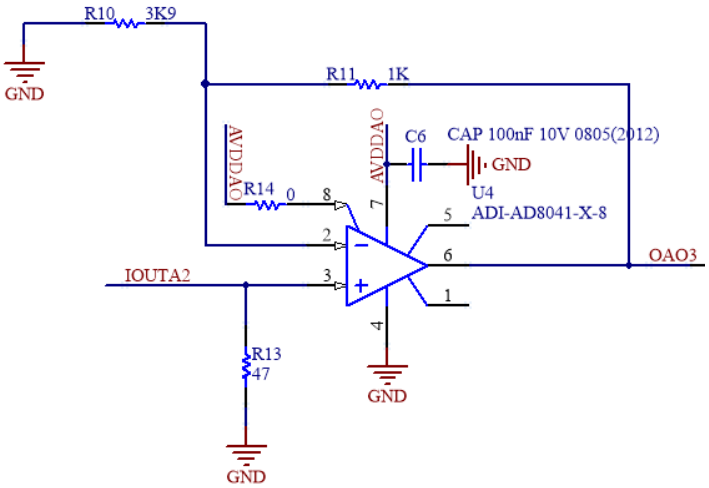


Figura 4.15: Salida no inversora single ended

Con esta configuración a la salida se obtienen los valores teóricos mostrados en la Tabla 4.3:

Valor DAC	Valor DAC %	Ioutdac (A)	V+ (V)	Vout (V)
0	0%	0	0	0
2048	12,5%	0,0025	0,1175	0,58
4096	25%	0,005	0,235	1,15
8192	50%	0,01	0,47	2,30
12288	75%	0,015	0,705	3,45
14336	87,5%	0,0175	0,8225	4,03
16384	100%	0,2	0,94	4,60

Tabla 4.3: Valores teóricos salida single ended

4.2 Esquemático y Layout

El conversor se ha desarrollado para poder trabajar sobre una tarjeta comercial llamada Arty-7 de Digilent, Figura 4.16. Esta tarjeta contiene un la FPGA de Xilinx, cuyo modelo es xc7a35ticsg324-1L [21]. Esta tarjeta es capaz de generar un reloj independiente mediante un cristal oscilador de 100 MHz, que es el reloj que se empleará tanto para generar las señales como para controlar el DAC.

Además, dispone tanto de cuatro conectores Pmod, que se han empleado para probar las placas comerciales, como de un conector Arduino Shield que es sobre el que se va a diseñar el circuito conversor.

En un principio, el reloj comentado anteriormente de 100 MHz era el que se iba a emplear para controlar el DAC, pero a la hora de realizar la primera simulación se comprobó que él módulo no funcionaba, tras realizar varios test se midió que el reloj nunca llegaba a 0, por lo que el DAC no detectaba un flanco de subida y no realizaba la conversión. Esto es debido a las capacitancias parásitas que se generaban al intentar enviar la señal de reloj hacia el módulo de conversión por el pin E3 de la tarjeta de pruebas. A la vista de este problema se decidió bajar la frecuencia del reloj a 50 MHz, consiguiendo así eliminar el problema de las capacitancias parásitas, sin perder prestaciones.

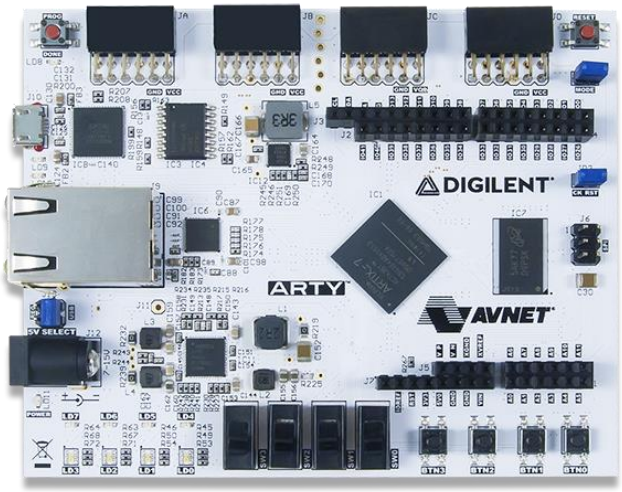


Figura 4.16: FPGA de pruebas

El símbolo de este conector es el mostrado en la Figura 4.17

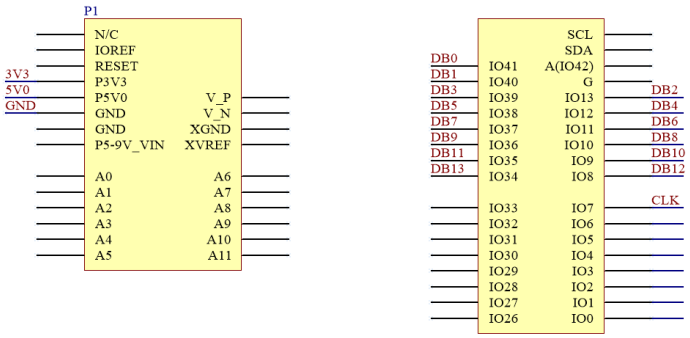


Figura 4.17: Símbolo conector Arduino Shield

Que queda conectado al conversor Digital-Analógico como se muestra en la Figura 4.18.

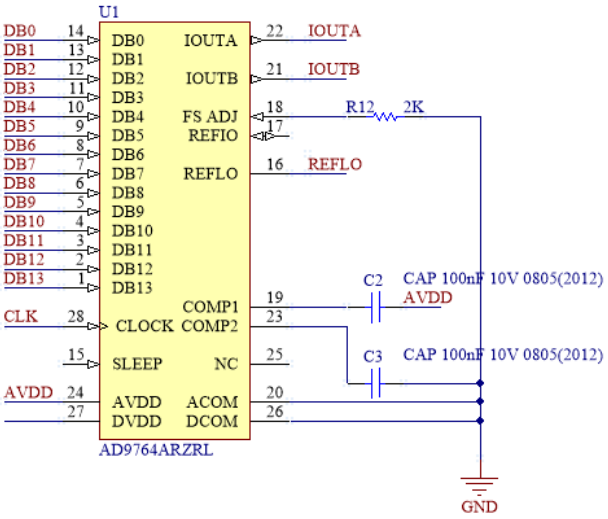


Figura 4.18: Símbolo DAC

En la Figura 4.19 se muestra el esquemático completo, se han añadido jumpers para poder seleccionar tanto la alimentación del DAC como de los amplificadores de forma independiente, ya que ambos componentes pueden trabajar tanto 3,3 como a 5 V. También se han añadido dos jumpers que permiten seleccionar qué tipo de salida queremos utilizar: salida diferencial o *single ended* no inversora, así como diferentes puntos de medida a lo largo del circuito.

Como se puede apreciar también en la Figura 4.19 en la salida diferencial se añadió una segunda etapa de amplificación, por si la salida del primer operacional no hubiera estado sufrientemente amplificada, aunque al final no fue necesario usarla.

El pin REFLO del DAC, que se puede apreciar en la Figura 4.18, está conectado a un jumper como se muestra en la Figura 4.19. A su vez los pines de este jumper están conectados a AVDD y GND, lo que permite activar o desactivar la referencia interna.

Como se ve en la Figura 4.19 en la esquina inferior izquierda se han añadido tres condensadores en paralelo de diferentes capacidades y material de fabricación que funcionan como condensadores de desacoplo filtrando el ruido procedente de la fuente de alimentación

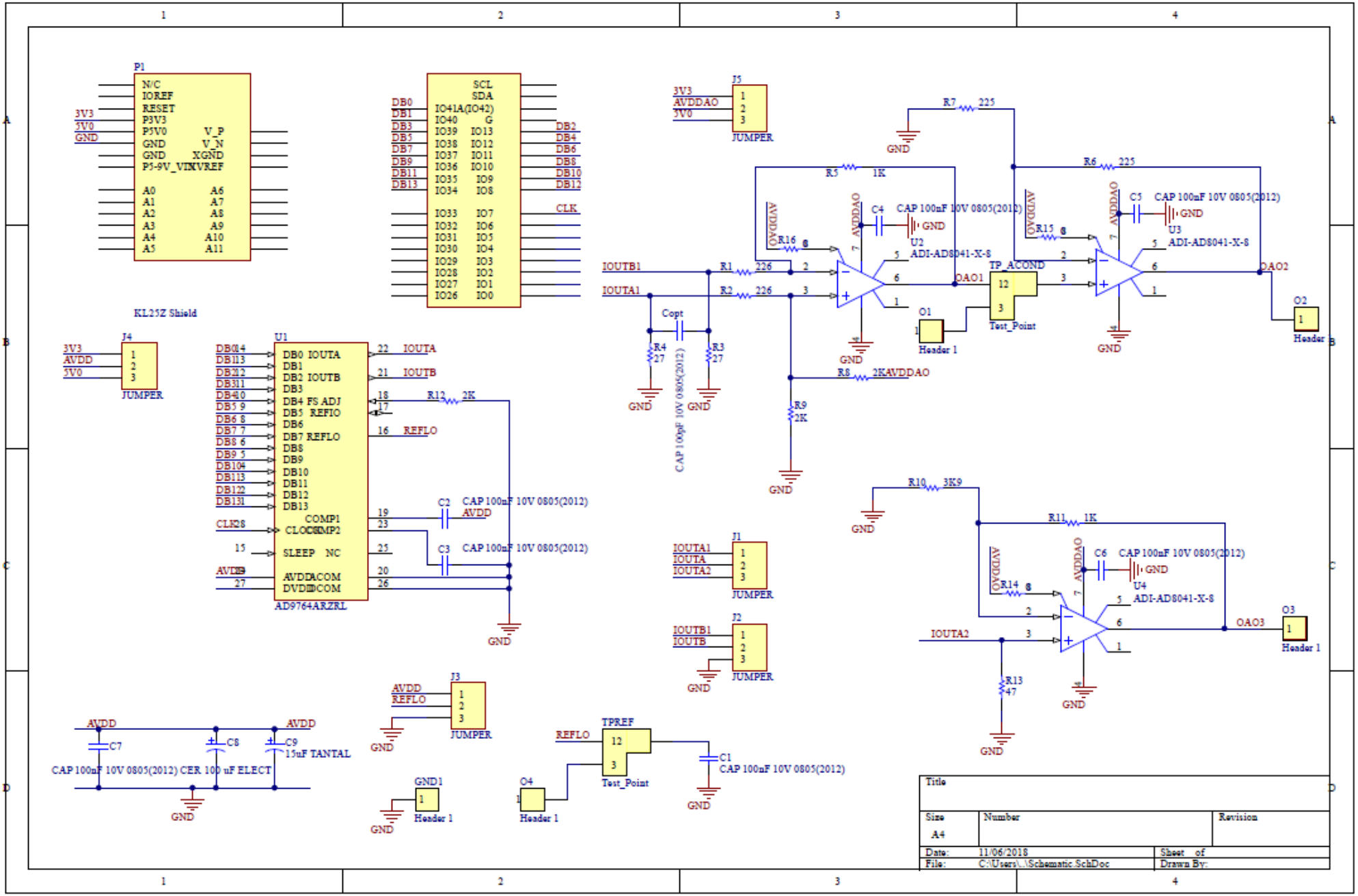


Figura 4.19: Esquemático completo

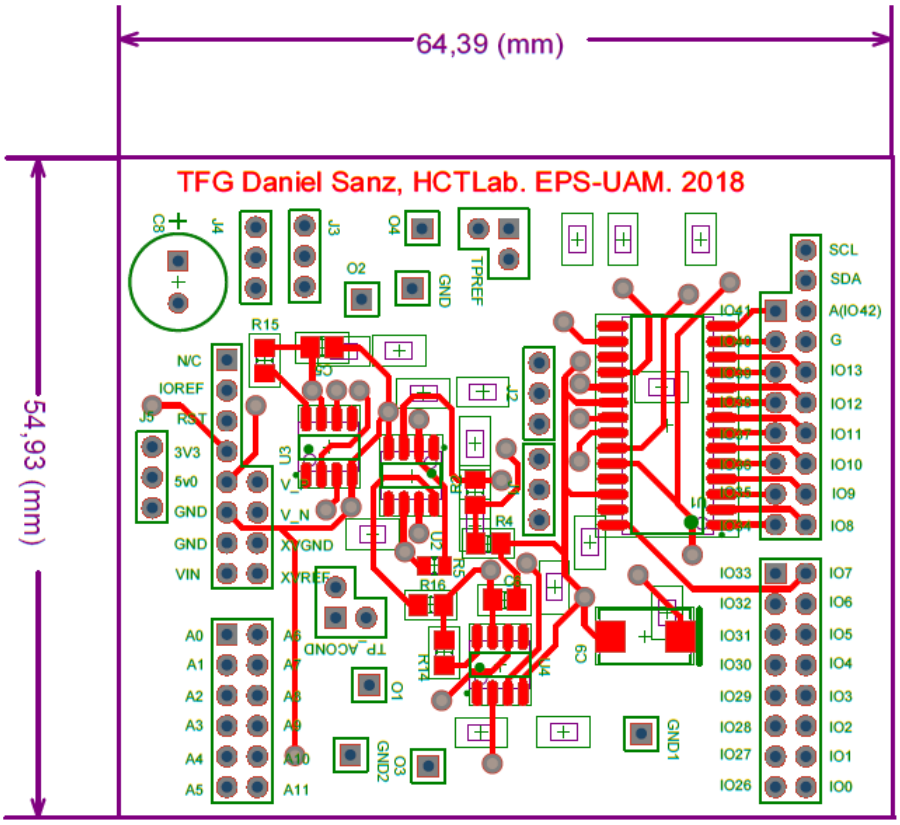


Figura 4.20: Layout Top Layer

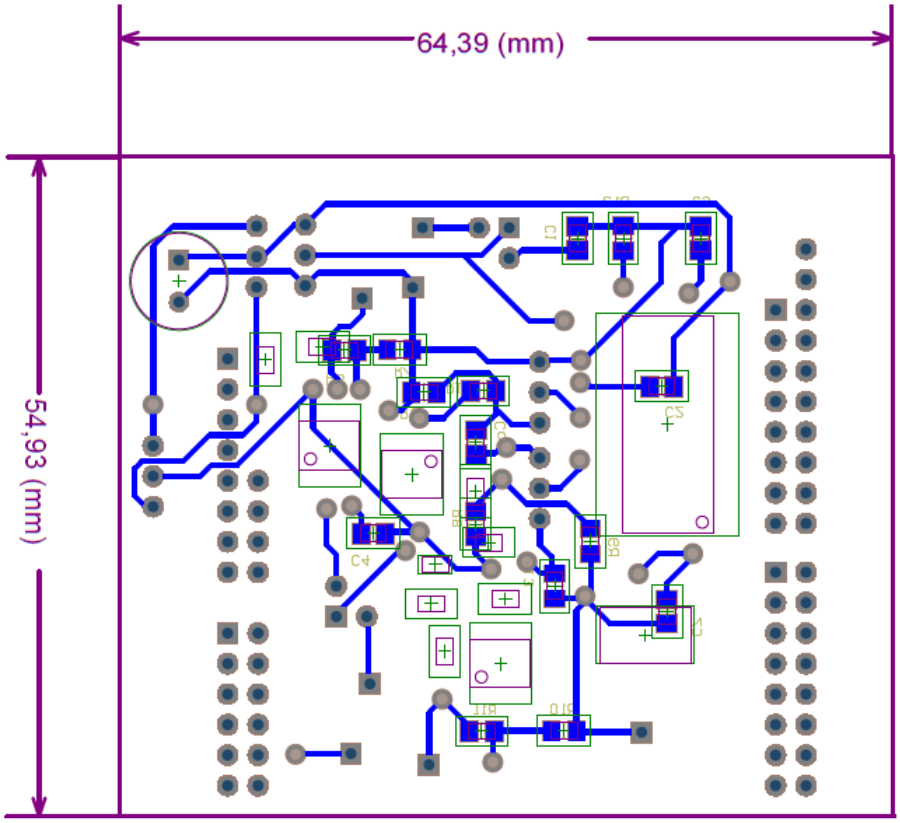


Figura 4.21: Layout Bottom Layer

5 Integración, pruebas y resultados

Para comprobar la viabilidad y precisión del sistema que se ha diseñado se han llevado a cabo una serie de experimentos. El primero de ellos ha sido comprobar los valores medidos frente a los teóricos calculados en las distintas posibilidades de acondicionamiento de señal.

El segundo ha consistido en comprobar los tiempos de establecimiento tanto de las soluciones implementadas como de los módulos comerciales. Para el tercer experimento se han probado todos los módulos de conversión simultáneamente con una señal triangular, ya que la corriente que circula por la bobina en muchos convertidores conmutados tiene una forma de onda triangular. Como último, se ha integrado el módulo de conversión dentro de un sistema HIL completo que simula un convertidor reductor o *buck*.

Para los tres primeros experimentos se han probado tanto las tarjetas conversoras comerciales como las dos soluciones de amplificación implementadas. En el caso del cuarto experimento también se han probado las dos soluciones de amplificación, pero en este caso solo se han comparado con el módulo de conversión Pmod DA2, descartando el módulo Pmod DA4 por sus peores características.

5.1 Aspecto final de la tarjeta conversora

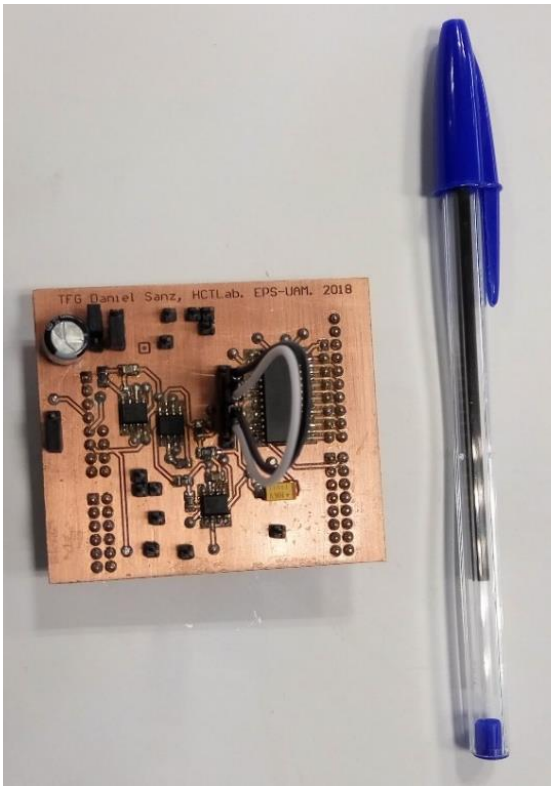


Figura 5.22: conversor final vista superior

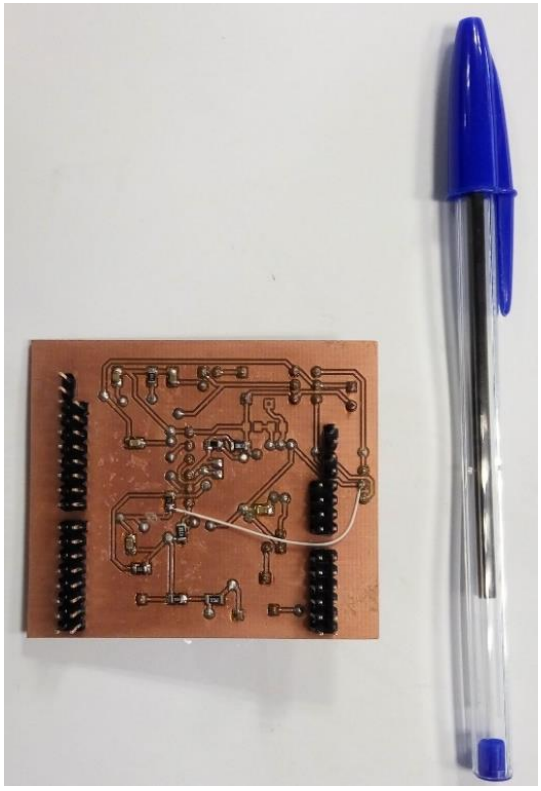


Figura 5.23: conversor final vista inferior

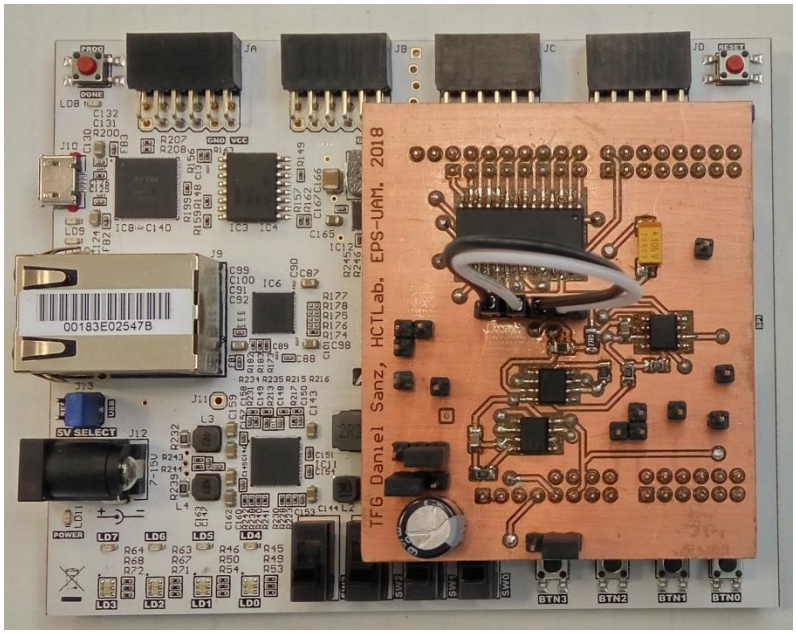


Figura 5.24: conversor final montado en la FPGA de pruebas

5.2 Experimento 1: Valores medidos frente a los teóricos

Para este experimento, se ha probado la tarjeta diseñada y construida con diferentes valores estáticos en la consigna del DAC. De esta forma se pretende comprobar la salida para diferentes consignas sin cambios en la misma. Es importante destacar que el DAC puede interpretar consignas entre 0 y 16383, por tener el DAC una resolución de 14 bits.

Se ha estudiado también como varía la salida tras la etapa de conversión con las diferentes soluciones implementadas.

5.2.1 Salida diferencial

En el caso de emplear la salida diferencial se han medido los valores representados en la Tabla 5.4.

Valor DAC	Valor DAC %	Vout_teo (V)	Vout_real (V)	Error (%)
0	0%	0,37	0,52	28,85%
2048	12,5%	0,90	1,06	15,09%
4096	25%	1,43	1,56	8,33%
8192	50%	2,50	2,6	3,85%
12288	75%	3,57	3,58	0,28%
14336	87,5%	4,10	4,11	0,24%
16384	100%	4,63	4,63	0,00%

Tabla 5.4: Valores medidos frente a teóricos con salida diferencial

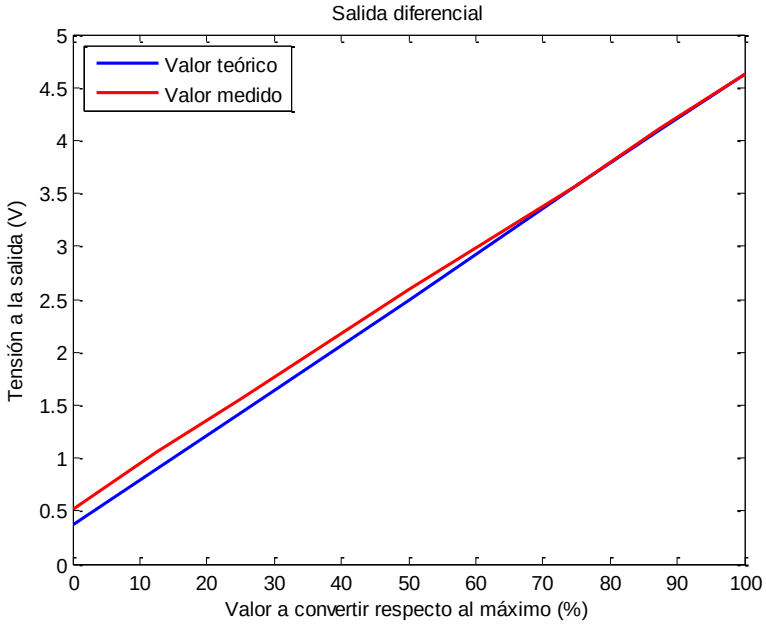


Figura 5.25: valor medido frente a teórico, salida diferencial

Como se puede apreciar tanto en la tabla anteriormente citada como en la Figura 5.25, el error disminuye a medida que aumenta el valor a representar. Esto se debe a que la ganancia no es exactamente la calculada en al capítulo 4, por las posibles tolerancias de las resistencias y del propio comportamiento del DAC y el amplificador operacional. Un ajuste más fino podría realizarse si fuera necesario obtener mayor precisión.

5.2.2 Salida single ended

Para el caso en el que se utilice la salida no inversora se han obtenido los valores presentados en la Tabla 5.5.

Valor DAC	Valor DAC %	Vout_teo (V)	Vout_real (V)	Error (%)
0	0%	0,00	0,12	-
2048	12,5%	0,58	0,63	7,94%
4096	25%	1,15	1,18	2,54%
8192	50%	2,30	2,31	0,43%
12288	75%	3,45	3,42	0,88%
14336	87,5%	4,03	3,96	1,77%
16384	100%	4,61	4,54	1,54%

Tabla 5.5: Valores medidos frente a teóricos salida single ended

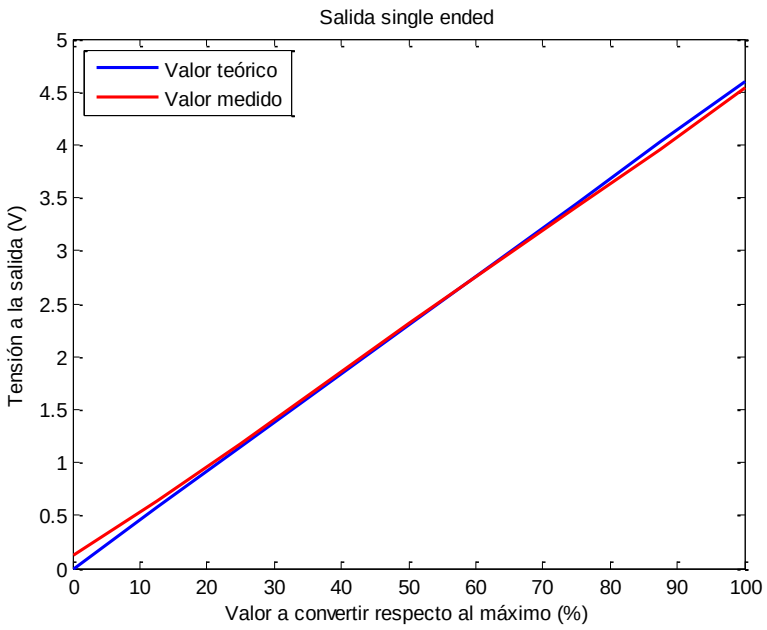


Figura 5.26: valor medido frente a teórico, salida single ended

En el caso de este tipo de salida, como se puede ver en la Figura 5.26, las mayores diferencias en los valores medidos respecto a los teóricos los encontramos en los extremos. Nuevamente la pendiente es ligeramente diferente a la esperada, por lo que podrían ajustarse las ganancias de la amplificación si la precisión en la medida fuera un aspecto crítico.

Además, se puede observar que, en el caso de enviar una consigna igual a 0, no se obtiene 0 V a la salida. Esto ocurre ya que, a pesar de ser *Rail to Rail*, el amplificador operacional no puede generar una salida exacta de 0 V.

5.3 Experimento 2: Comparativa tiempos de establecimiento

Este experimento se ha llevado a cabo para determinar cuál de las dos soluciones de conversión y amplificación es mejor: diferencial o *single ended*, además de probar los mismos casos con los conversores comerciales.

Para ello se va a probar un transitorio en forma de escalón desde una consigna del 0% a otra del 50%.

En la Figura 5.27 podemos ver que para el conversor Pmod DA2, al realizar un cambio de consigna desde 0 al 50%, se tiene un tiempo de establecimiento de aproximadamente 1 µs, siguiendo la forma de un sistema de primer orden.

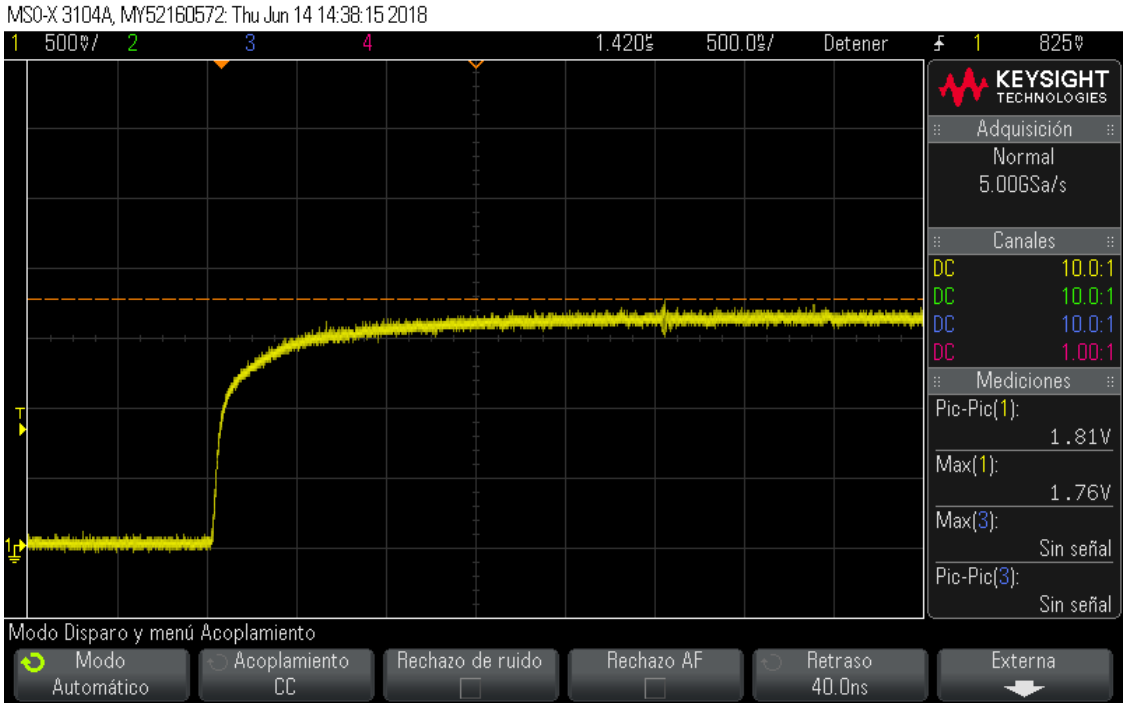


Figura 5.27: cambio desde 0 a 50% Pmod DA2

En el caso del conversor Pmod DA4 como se muestra en la Figura 5.28 se obtiene también aproximadamente un tiempo de establecimiento de 1 µs, pero con una pendiente menos abrupta.

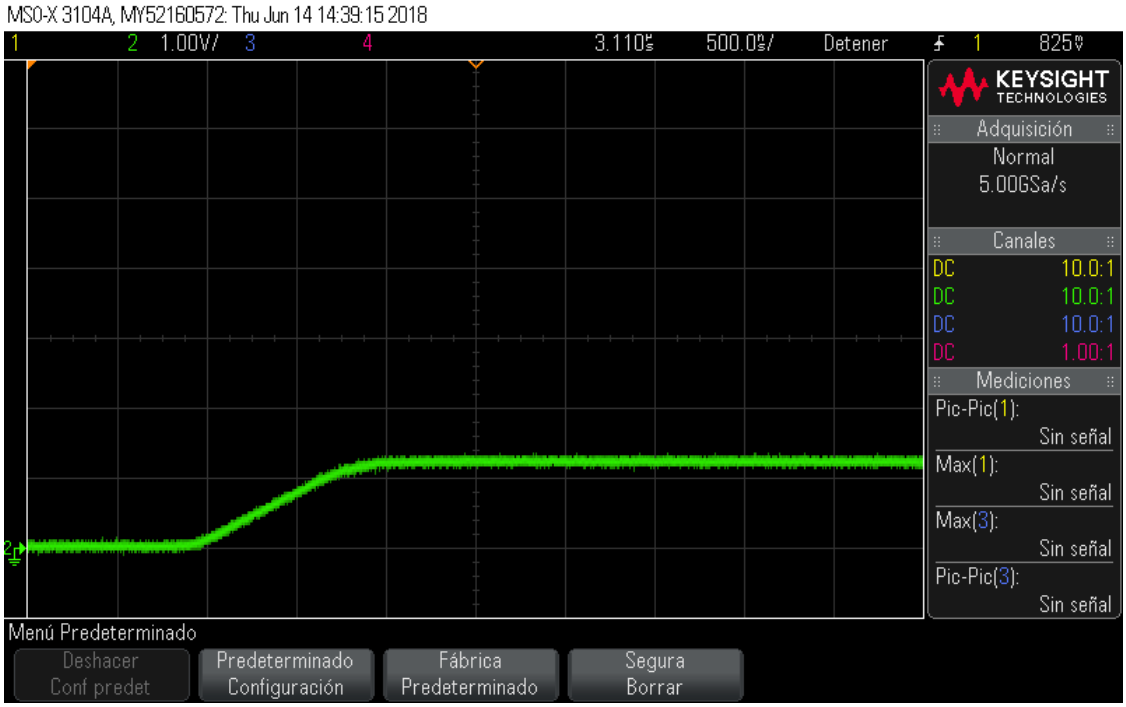


Figura 5.28: cambio desde 0 a 50% Pmod DA4

Se puede ver que los DACs comerciales tienen un tiempo de establecimiento bastante significativo, ya que 1 µs es un 10% del periodo de las señales que normalmente se van a generar (10 µs).

Ahora se van a mostrar los resultados de este experimento en el conversor construido con los dos acondicionamientos.

La amplificación diferencial tiene teóricamente mejores prestaciones en condiciones AC, por lo que se va a probar un transitorio en forma de escalón desde una consigna del 0% a otra del 50%.

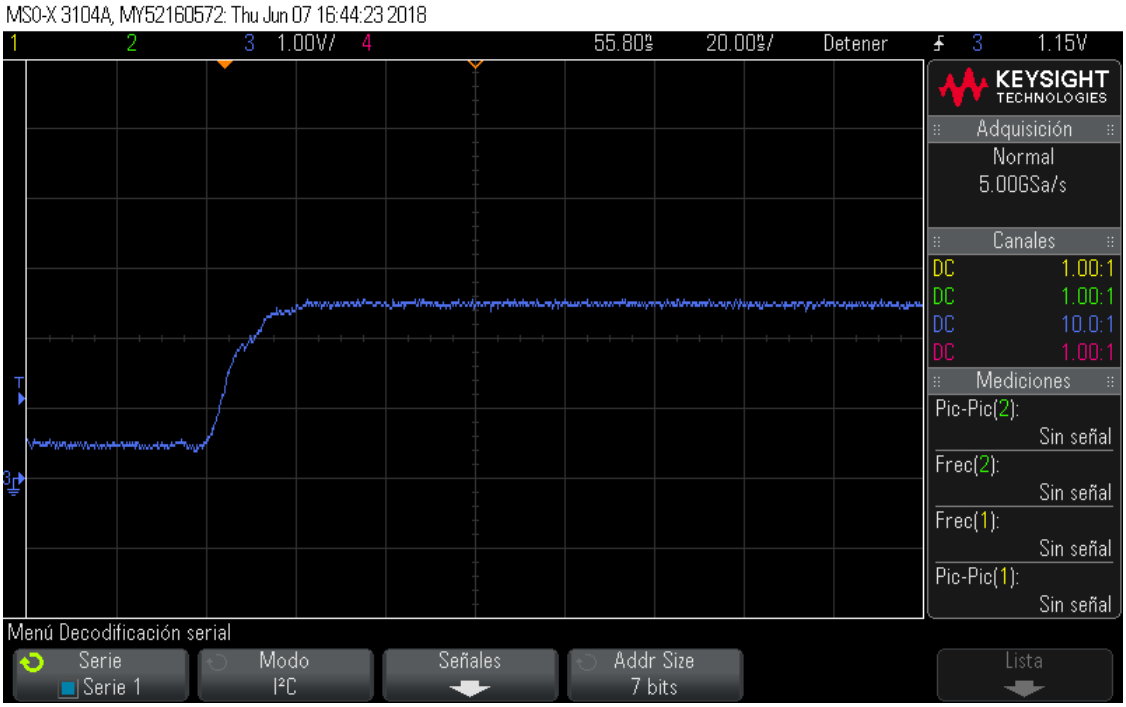


Figura 5.29: cambio de 0 al 50% salida diferencial

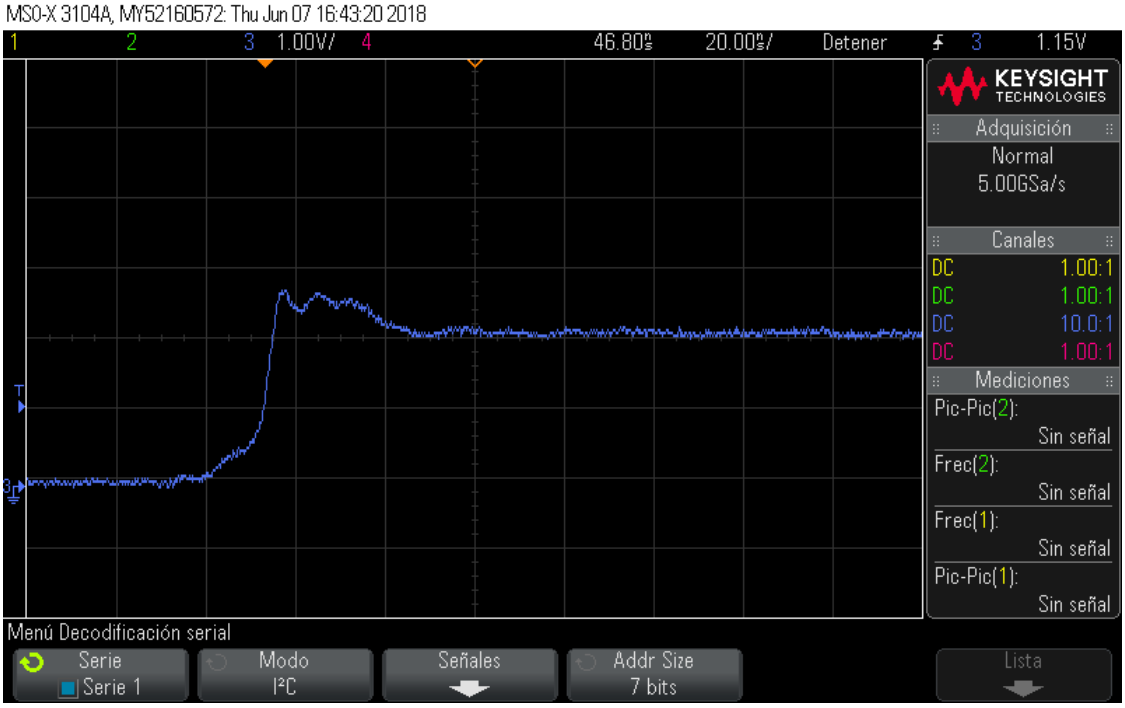


Figura 5.30: cambio de 0 a 50% salida single ended

Como se puede ver en la Figura 5.30 la señal tiene unas sobreoscilación cercana al 30% que hace que el tiempo de establecimiento sea de aproximadamente 40 ns, mientras que en la Figura 5.29 esta sobreoscilación desaparece y se reduce el tiempo de establecimiento a la mitad, 20 ns. Por tanto, con este sencillo experimento se puede comprobar las mejores prestaciones de la amplificación diferencial.

5.4 Experimento 3: Simulación de la corriente en la bobina de un convertidor Buck

La señal de corriente que se va a utilizar para realizar el experimento principal es la representada en la Figura 3.8. Esta señal de amplitud 3,3 V y periodo de 10 µs representa la forma de onda típica de un convertidor conmutado. En un convertidor conmutado se caracteriza por alternar estados de carga con estados de descarga para aportar a la salida del convertidor las tensiones y corrientes necesarias. Por tanto, es habitual obtener formas de onda triangulares en la corriente que circula por la bobina del convertidor. Se ha escogido un periodo de 10 µs, puesto que la frecuencia de conmutación equivalente, 100 kHz, es una frecuencia típica en este tipo de convertidores. Además, también se ha probado otro periodo de señal, 330 µs, que equivaldría a una frecuencia 3,03 kHz.

5.4.1 Configuración salida diferencial

Como primera prueba se utilizó una señal con periodo de 330 µs, mucho más lenta que la señal del experimento principal. Con esto se quería demostrar que para aplicaciones de baja frecuencia los conversores comerciales son capaces de ofrecer muy buenos resultados, como se muestra en la Figura 5.31, reconstruyendo la señal original en su totalidad.

En la Figura 5.31 la línea azul corresponde a la salida del módulo de conversión diseñado, la línea amarilla al conversor Pmod DA2 y la verde al Pmod DA4. También se aprecia una diferencia de amplitudes, esto es debido a los diferentes rangos de salidas, pero no es relevante a la hora de comparar como de buenos son los conversores.

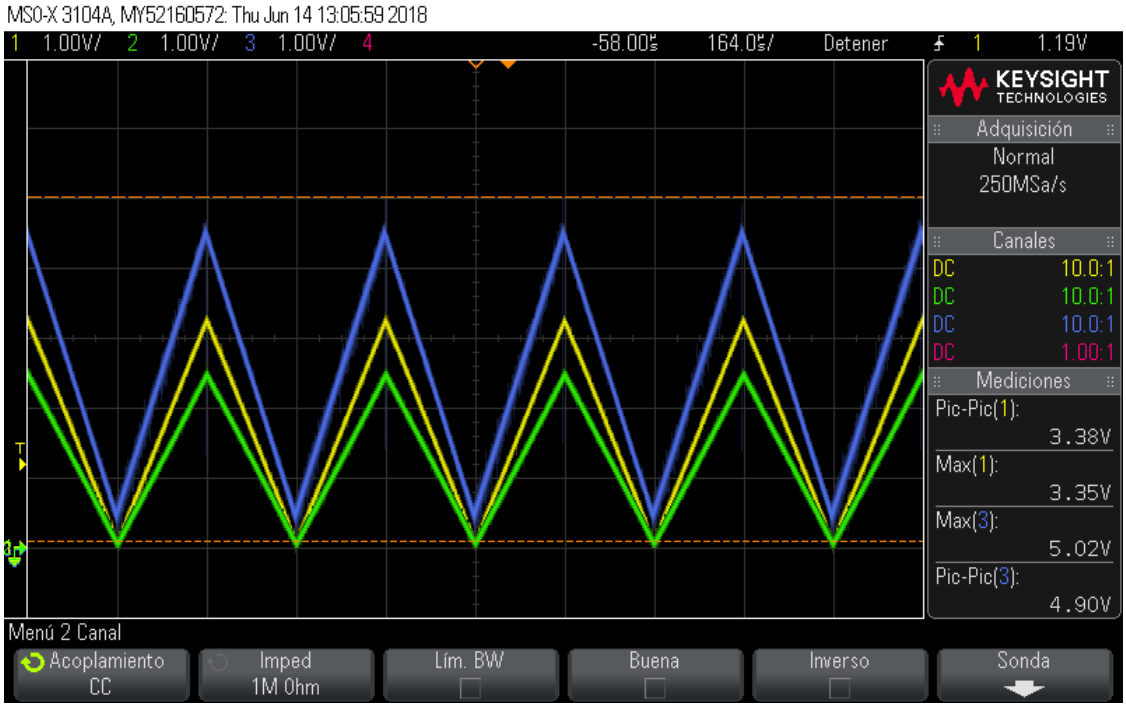


Figura 5.31: Respuesta simultánea a una señal de 330 µs de periodo

Como se puede ver en la Figura 5.32, en el experimento del triángulo con periodo de 10 µs, los módulos de conversión comerciales no pueden representar la señal triangular. Sin embargo, el módulo conversor diseñado en este TFG obtiene una señal triangular precisa.

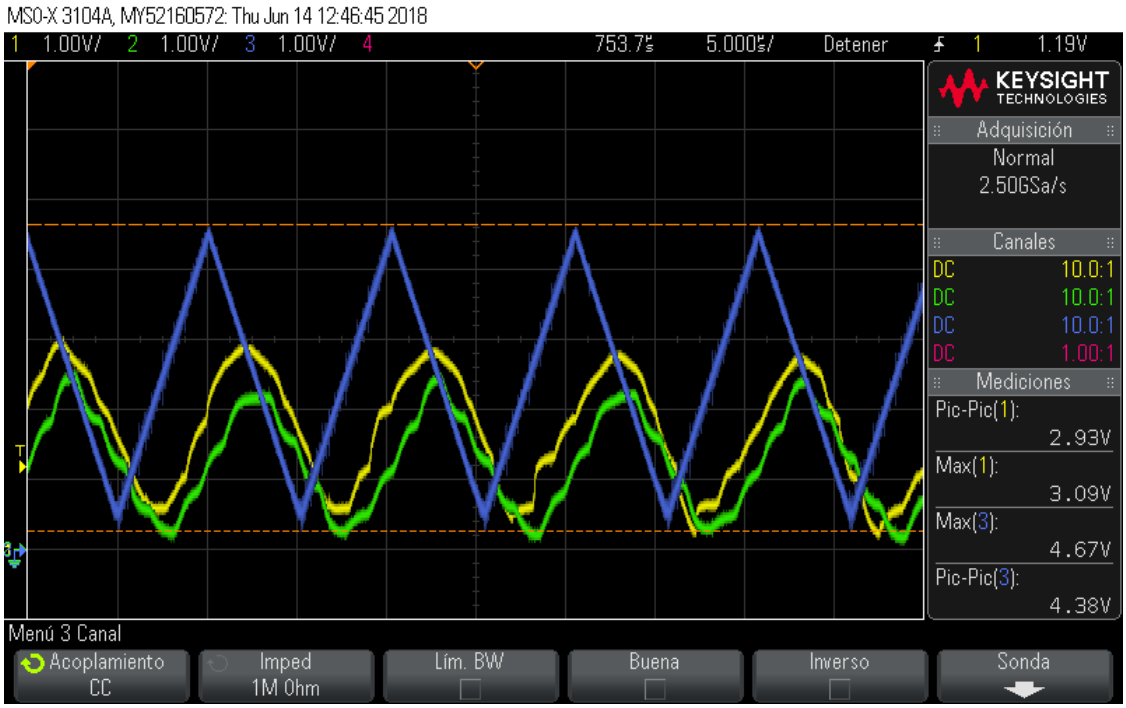


Figura 5.32: Respuesta simultánea a una señal de 10 µs de periodo, salida diferencial

En la Figura 5.32 la línea azul corresponde a la salida del módulo de conversión diseñado, la línea amarilla al conversor Pmod DA2 y la verde al Pmod DA4. En esta figura

también se puede apreciar que los conversores comerciales tienen un retardo mucho mayor de conversión que el conversor diseñado, en torno a 2,5 µs más lentos.

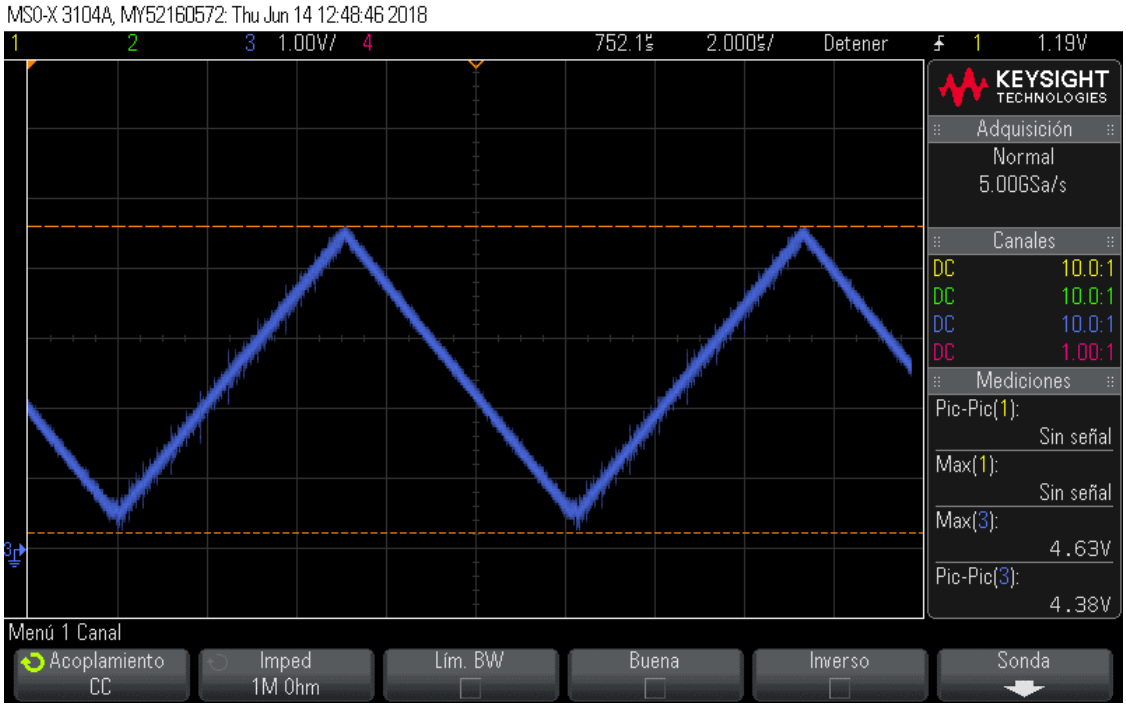


Figura 5.33: Respuesta del DAC construido, salida diferencial

En el caso del DAC construido, en la Figura 5.33 se observa que la señal tiene una amplitud de 4,67 V; esto es debido a la ganancia que se tiene en el circuito, que ya se desarrolló en el capítulo 4. También se aprecia que no llega a 0 V, esto ocurre por el tipo de alimentación que se tiene en el amplificador, ya que la señal amplificada está centrada en 2,5 V para el 50% de la consigna, pero el rango representable es de $2{,}5\ \mathrm{V} \pm 2{,}15\ \mathrm{V}$. Si se quisiera un rango más cercano a 0-5 V, simplemente habría que escoger otro conjunto de resistencias.

5.4.2 Configuración salida *single ended*

En el caso de emplear este tipo de amplificación la conversión resultante queda mostrada en la Figura 5.34. Al igual que sucedía con la salida diferencial, y como era de esperar al haberse utilizado la misma señal para realizar la prueba, los conversores comerciales no son capaces de representar la señal original de forma precisa.

En la figura citada anteriormente también se puede apreciar que el retardo entre los diferentes conversores se mantiene prácticamente inalterado con respecto a la salida diferencial, en este aspecto no se aprecia una mejora sustancial utilizando una u otra configuración de amplificación.

En la

*Figura 5.35*Figura 5.35, al contrario de lo que ocurría en la salida diferencial sí que se llega a un valor mínimo de 0 V, ya que el amplificador no está funcionando en modo diferencial, y su señal no está centrada en 2,5 V, sino que comienza en 0 V y aumenta de forma proporcional a la consigna.

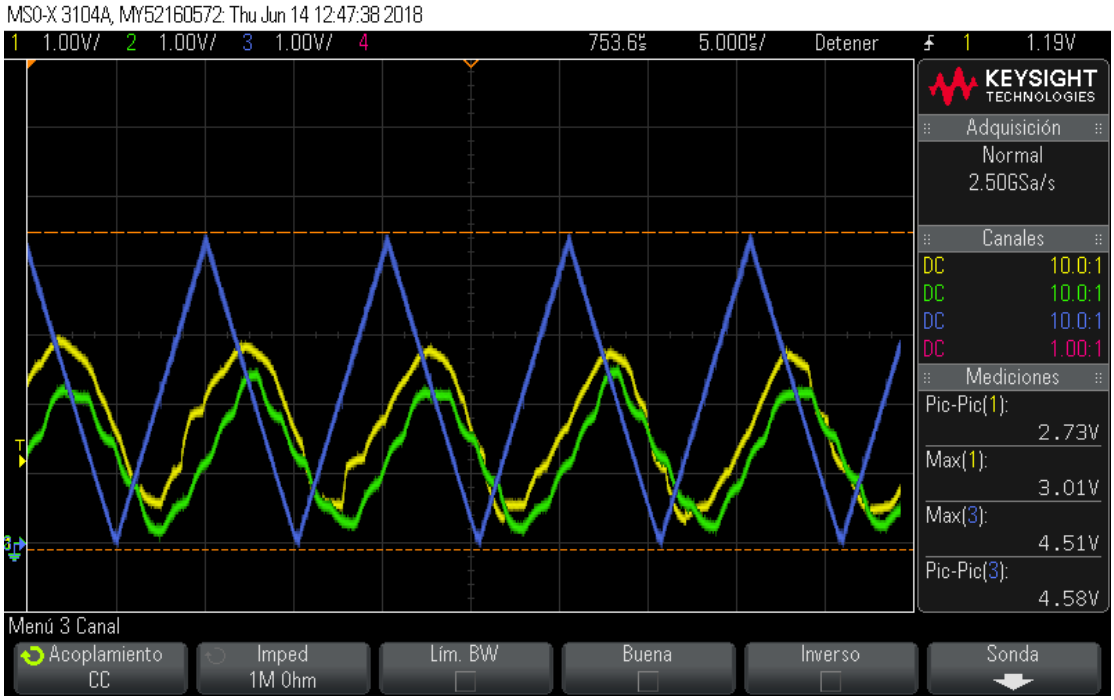


Figura 5.34: Respuesta simultánea a una señal rápida, salida single ended

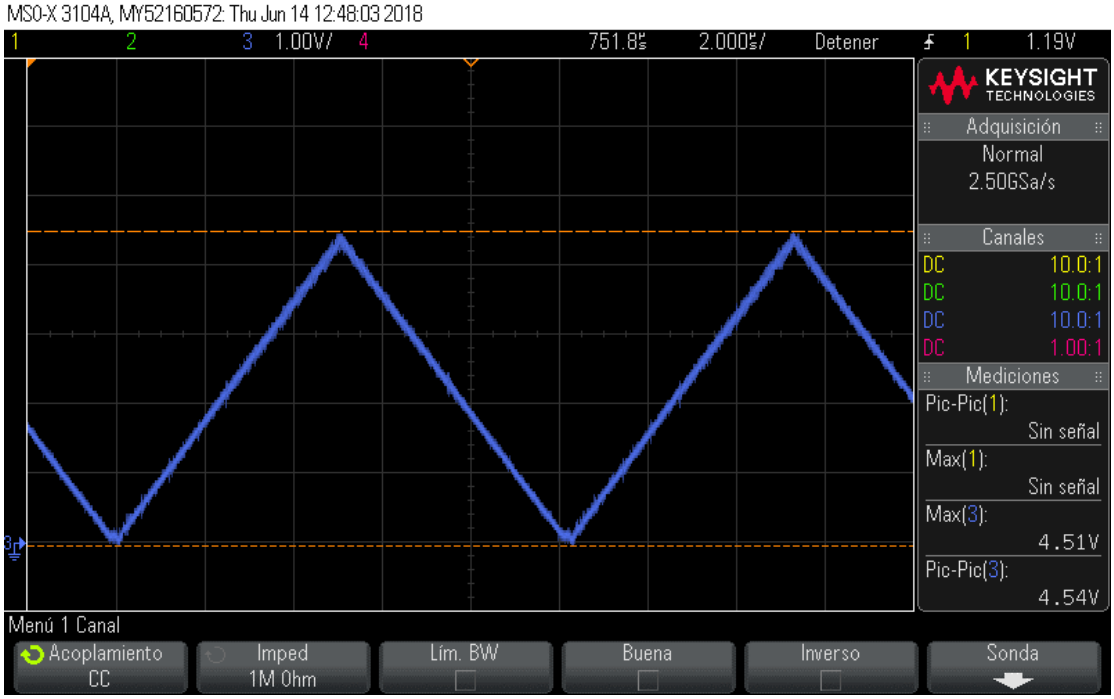


Figura 5.35: Respuesta DAC construido, salida single ended

Como se puede apreciar a la hora de realizar una simulación en condiciones estáticas, las dos configuraciones obtienen resultados similares. Sin embargo, dado que los sistemas HIL estarán cambiando su salida continuamente, en el siguiente experimento se pretende comprobar qué ocurre cuando se simula una corriente alterna.

5.5 Experimento 4: Simulación de un convertidor buck

En este experimento se va a integrar los sistemas de conversión digital-analógica en un sistema completo HIL para simular un convertidor *buck*. En este tipo de convertidores de potencia, como se comentaba en el experimento 2, se alternan estados de carga y descarga para aportar a la salida del convertidor las tensiones y corrientes necesarias. Por tanto, es habitual obtener formas de onda triangulares en la corriente que circula por la bobina del convertidor.

En este caso se ha descartado utilizar el módulo Pmod DA4 debido a los malos resultados que arrojó en el capítulo 3. Por tanto, solo se van a comparar el módulo Pmod DA2 y el módulo diseñado.

En la Figura 5.36 se puede ver un transitorio desde un punto estable hasta que se obtiene de nuevo un estado de régimen permanente. En la figura se puede comprobar que el convertidor buck es un sistema de segundo orden. Estas oscilaciones a su vez tienen también variaciones como se observa con más detalle en la Figura 5.37.

En todas las gráficas la línea amarilla corresponde con el conversor Pmod DA2 y la azul al módulo de conversión diseñado.

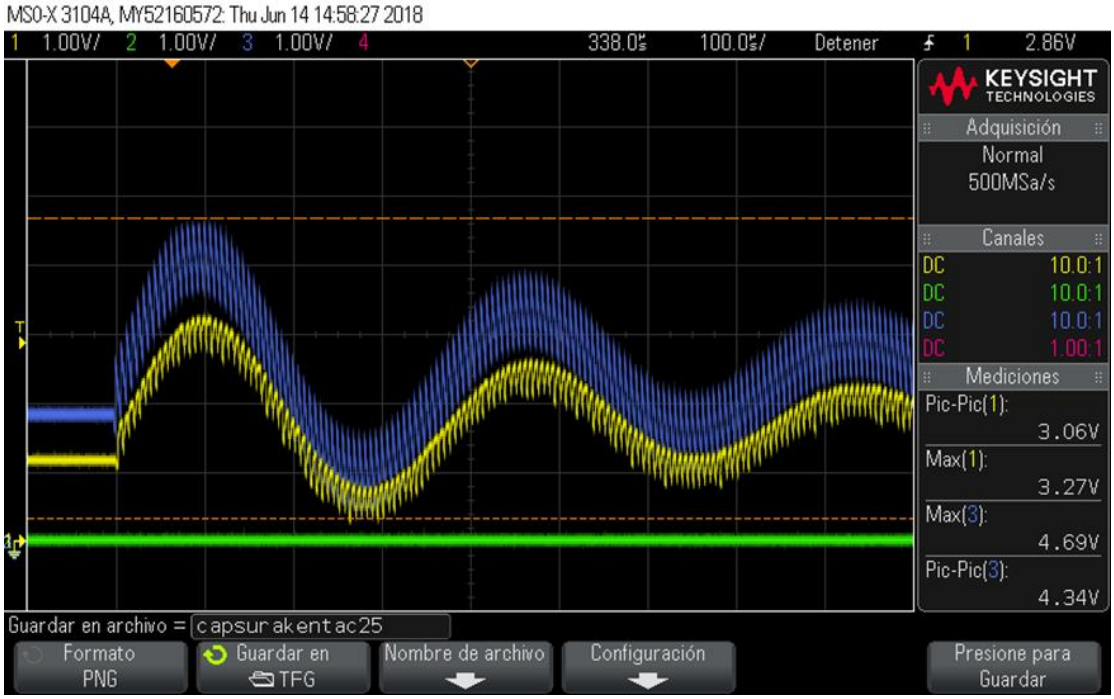


Figura 5.36: simulación corriente alterna Pmod DA2 y DAC salida diferencial

El grosor de las líneas de la Figura 5.36 se debe a que las oscilaciones grandes de la salida siguen la frecuencia natural del filtro convertidor *buck*, mientras que existen oscilaciones de alta frecuencia en dichas señales: el mismo que tendrá un convertidor *buck* real. Es decir, dichas oscilaciones de alta frecuencia no son generadas por errores en el DAC, sino que el simulador las genera de forma premeditada. Estas oscilaciones de alta frecuencia se pueden ver en la Figura 5.37.

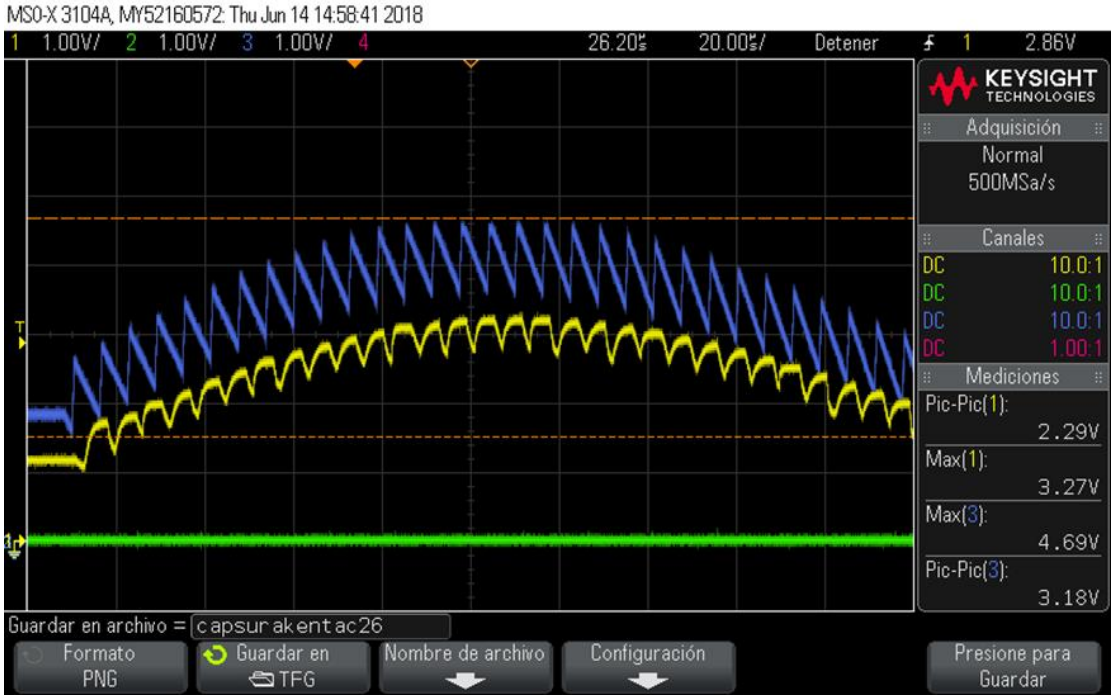


Figura 5.37: detalle corriente alterna, Pmod DA2 y DAC salida diferencial

Por último, en la Figura 5.37 se observa que el conversor que se ha diseñado es capaz de representar estas oscilaciones de forma mucho más exacta que el conversor comercial por su mayor frecuencia de conversión, así como la inclusión de 2 bits más en la consigna, lo que aumenta la resolución del sistema. Cabe destacar que en la simulación de la **¡Error! No se encuentra el origen de la referencia.** la amplitud del triángulo está siendo mucho menor que la amplitud máxima permitida por el DAC. Por tanto, el aumento de bits en la consigna permite mantener salidas precisas incluso cuando las consignas varían ligeramente.

Se puede concluir, por tanto, que el conversor diseñado en este TFG supera en prestaciones a los módulos comerciales. Por otra parte, al realizar la misma prueba con la salida *single ended* a simple vista no se han apreciado diferencias con la configuración de salida diferencial.

6 Conclusiones y trabajo futuro

6.1 Conclusiones

En el desarrollo de este trabajo se ha comentado la importancia de los reguladores y la necesidad de probarlos mediante modelos *Hardware in the Loop* (HIL), para así evitar posibles daños materiales y personales. También se ha hablado sobre cómo en el campo de los controladores se ha producido un cambio de tendencia desde los reguladores analógicos hacia los digitales.

Para probar estos reguladores digitales de forma segura es especialmente útil la creación de un modelo digital de la planta que puede representar fielmente el sistema real. El problema de esto es que los reguladores digitales trabajan con señales de entrada analógicas, por lo que se hace imperativo la necesidad de crear una etapa intermedia de conversión entre la planta digitalizada y el regulador. De esa forma, el regulador podrá controlar el modelo de la planta en vez de la planta real sin tener que realizar ningún cambio. En definitiva, las pruebas que se realicen al regulador junto al modelo serán suficientemente fidedignas.

En la primera parte de este proyecto se evaluaron las distintas soluciones presentes en el mercado para realizar esta tarea. Se escogieron dos y se comprobó que cuando trabajaban con señales de baja frecuencia (triángulos cuya frecuencia fundamental era de 3,03 kHz) eran capaces de reproducir la señal deseada sin ningún tipo de problema. Pero cuando se trataba de señales de más alta frecuencia (triángulos con frecuencia fundamental de 100 kHz) no eran capaces de reconstruir la señal original fielmente.

Para la segunda parte se decidió diseñar y construir un prototipo que fuera capaz de suplir las carencias de los modelos integrados comerciales. Se empezó realizando una selección del chip conversor comercial, observando que los que eran capaces de cumplir con los requisitos ofrecían su salida como una señal de corriente. Por ello, se concluyó que era necesario una etapa de conversión corriente-tensión. El DAC elegido para el diseño y del PCB y las pruebas fue el componente DAC904U. Para esta segunda etapa de conversión se escogieron dos de las soluciones propuestas por el fabricante con intención de evaluar cuál era mejor.

Los dos circuitos acondicionadores de señal fueron uno con entrada *single ended* y otro con entrada diferencial, para este último caso se diseñó una segunda etapa de amplificación por si la salida desde la primera etapa de amplificación no hubiera sido suficiente. Se demostró mediante un sencillo experimento que el circuito acondicionador con entrada diferencial ofrecía mejores características en tiempo de establecimiento (20 ns) frente a la salida *single ended* (40 ns).

Se comprobó que para las mismas señales que los módulos comerciales no eran capaces de reconstruir, la etapa de conversión diseñada en este TFG no mostraba ningún tipo de problema, representado las señales originales de forma fiel.

Por último, se simuló e integró la tapa de conversión a un modelo HIL de un convertidor *buck*, probando tanto el conversor comercial Pmod DA2 como etapa conversora diseñada. En los experimentos se probaron transitorios en el modelo, y se pudo comprobar que el sistema diseñado representaba fielmente la salida del modelo buck, mientras que los módulos

comerciales podían representar las oscilaciones de baja frecuencia, pero la información del rizado de conmutación se perdía en gran medida.

6.2 Trabajo futuro

Una de las principales líneas de mejora de este trabajo sería intentar conseguir una mayor precisión en las medidas, esto se conseguiría haciendo uso de amplificadores de instrumentación ya que este tipo de amplificadores son capaces de trabajar con señales muy débiles pudiendo así reducir los errores de medida.

Otro de los puntos a mejorar sería intentar conseguir los valores de resistencias más aproximados a los valores teóricos para así poder tener un mejor rango dinámico.

Referencias

[1] B. Patella, A. Prodic, A. Zirger, and D. Maksimovic, “High-frequency digital PWM controller IC for DC-DC converters,” in *IEEE Trans. Power Electron.*, vol. 18, no. 1, pp. 438–446, Jan. 2003.

[2] A. de Castro, Aplicación del Control Digital Basado en Hardware Específico para Convertidores de Potencia Conmutados. PhD thesis, Universidad Politécnica de Madrid, 2003.

[3] A. Prodic and D. Maksimovic, “Mixed-signal simulation of digitally controlled switching converters,” in *Proc. IEEE Workshop on Comput. Power Electron.*, Jun. 2002, pp. 100–105.

[4] A. Sanchez, A. de Castro and J. Garrido, “A Comparison of Simulation and Hardware-in-the-Loop Alternatives for Digital Control of Power Converters*.” IEEE Trans. Ind. Electron.*, vol. 8, no. 3, Aug. 2012.

[5] G. Parma and V. Dinavahi, “Real-time digital hardware simulation of power electronics and drives,” *IEEE Trans. Power Delivery*, vol. 22, no. 2, pp. 1235–1246, Apr. 2007.

[6] A. Myaing and V. Dinavahi, “FPGA-based real-time emulation of power electronic systems with detailed representation of device characteristics,” *IEEE Trans. Ind. Electron.*, vol. 58, no. 1, pp. 358–368, Jan. 2011.

[7] L. Barragan, I. Urriza, D. Navarro, J. Artigas, J. Acero, and J. Burdio, “Comparing simulation alternatives of FPGA-based controllers for switching converters,” in *Proc. IEEE Int. Symp. Ind. Electron.*, Jun. 2007, pp. 419–424.

[8] B. Lu, X. Wu, H. Figueroa, and A. Monti, “A low-cost real-time hardware-in-the-loop testing approach of power electronics controls,” *IEEE Trans. Ind. Electron.*, vol. 54, no. 2, pp. 919–931, Apr. 2007.

[9] M. Matar and R. Iravani, “FPGA implementation of the power electronic converter model for real-time simulation of electromagnetic transients,” *IEEE Trans. Power delivery*, vol. 25, no. 2, pp. 852–860, Apr.2010.

[10] Arty – 7 Reference manual: https://reference.digilentinc.com/reference/programmable-logic/arty/reference-manual?redirect=1#arduinochipkit_shield_connector

[11] Texas Instruments, DAC Essentials: https://e2e.ti.com/blogs_/b/analogwire/archive/2013/08/26/dac-essentials-understanding-your-dac-39-s-speed-limit

[12] Pmod DA4: https://reference.digilentinc.com/reference/pmod/pmodda4/reference-manual

[13] Pmod DA2: https://reference.digilentinc.com/reference/pmod/pmodda2/reference-manual

[14] Pmod DA1: https://reference.digilentinc.com/reference/pmod/pmodda1/reference-manual

[15] Analog Shield: https://reference.digilentinc.com/analog_shield/ref_manual

[16] https://es.wikipedia.org/wiki/Serial_Peripheral_Interface

[17] SPI_master para VHDL: https://eewiki.net/pages/viewpage.action?pageId=4096096

[18] DAC904U: http://www.ti.com/lit/ds/sbas095c/sbas095c.pdf

[19] AD9764RUZ (Rev. C): http://www.analog.com/media/en/technical-documentation/data-sheets/AD9764.pdf

[20] AD8041 (Rev. B): http://www.analog.com/media/en/technical-documentation/data-sheets/AD8041.pdf

[21] FPGA Artix-7: https://www.xilinx.com/support/documentation/data_sheets/ds181_Artix_7_Data_Sheet.pdf

Glosario

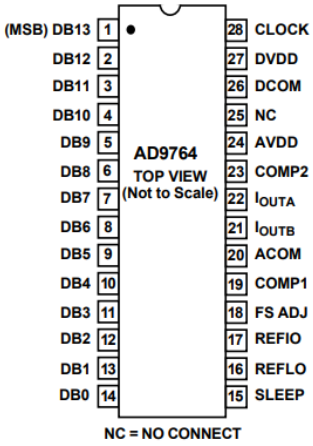
DAC	*Digital to Analog Converter*
DA	*Digital-Analógico*
SPI	*Serial Peripheral Interface*
FPGA	*Field-Programmable Gate Array*
HDL	*Hardware Description Language*
HIL	*Hardware In the Loop*

Anexos

A Pinout y huella de los componentes

Conversor digital-analógico AD9764ARZ

PIN CONFIGURATION

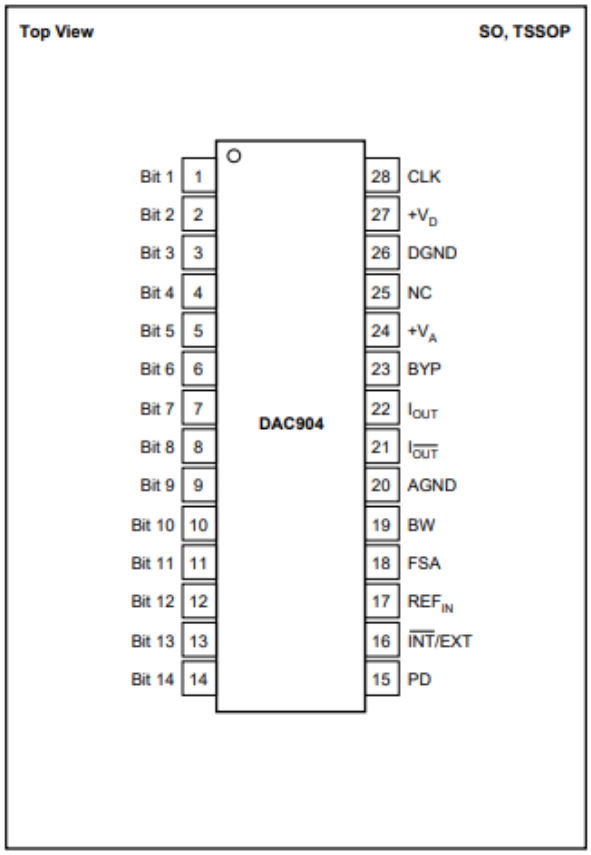


PIN FUNCTION DESCRIPTIONS

Pin No.	Name	Description
1	DB13	Most Significant Data Bit (MSB).
2–13	DB12–DB1	Data Bits 1–12.
14	DB0	Least Significant Data Bit (LSB).
15	SLEEP	Power-Down Control Input. Active High. Contains active pull-down circuit; it may be left unterminated if not used.
16	REFLO	Reference Ground when Internal 1.2 V Reference Used. Connect to AVDD to disable internal reference.
17	REFIO	Reference Input/Output. Serves as reference input when internal reference disabled (i.e., Tie REFLO to AVDD). Serves as 1.2 V reference output when internal reference activated (i.e., Tie REFLO to ACOM). Requires 0.1 µF capacitor to ACOM when internal reference activated.
18	FS ADJ	Full-Scale Current Output Adjust.
19	COMP1	Bandwidth/Noise Reduction Node. Add 0.1 µF to AVDD for optimum performance.
20	ACOM	Analog Common.
21	I_{OUTB}	Complementary DAC Current Output. Full-scale current when all data bits are 0s.
22	I_{OUTA}	DAC Current Output. Full-scale current when all data bits are 1s.
23	COMP2	Internal Bias Node for Switch Driver Circuitry. Decouple to ACOM with 0.1 µF capacitor.
24	AVDD	Analog Supply Voltage (+2.7 V to +5.5 V).
25	NC	No Internal Connection.
26	DCOM	Digital Common.
27	DVDD	Digital Supply Voltage (+2.7 V to +5.5 V).
28	CLOCK	Clock Input. Data latched on positive edge of clock.

Conversor digital-analógico DAC904U

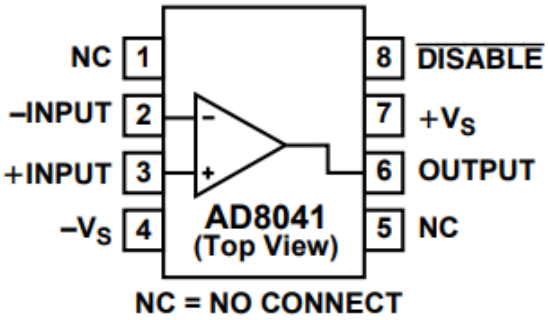
PIN CONFIGURATION



PIN DESCRIPTIONS

PIN	DESIGNATOR	DESCRIPTION
1	Bit 1	Data Bit 1 (D13), MSB
2	Bit 2	Data Bit 2 (D12)
3	Bit 3	Data Bit 3 (D11)
4	Bit 4	Data Bit 4 (D10)
5	Bit 5	Data Bit 5 (D9)
6	Bit 6	Data Bit 6 (D8)
7	Bit 7	Data Bit 7 (D7)
8	Bit 8	Data Bit 8 (D6)
9	Bit 9	Data Bit 9 (D5)
10	Bit 10	Data Bit 10 (D4)
11	Bit 11	Data Bit 11 (D3)
12	Bit 12	Data Bit 12 (D2)
13	Bit 13	Data Bit 13 (D1)
14	Bit 14	Data Bit 14 (D0), LSB
15	PD	Power Down, Control Input; Active HIGH. Contains internal pull-down circuit; may be left unconnected if not used.
16	$\overline{INT}$/EXT	Reference Select Pin; Internal (= 0) or External (= 1) Reference Operation
17	REF_{IN}	Reference Input/Ouput. See Applications section for further details.
18	FSA	Full-Scale Output Adjust
19	BW	Bandwidth/Noise Reduction Pin: Bypass with 0.1µF to $+V_A$ for Optimum Performance. (Optional)
20	AGND	Analog Ground
21	$I_{\overline{OUT}}$	Complementary DAC Current Output
22	I_{OUT}	DAC Current Output
23	BYP	Bypass Node: Use 0.1µF to AGND
24	$+V_A$	Analog Supply Voltage, 2.7V to 5.5V
25	NC	No Internal Connection
26	DGND	Digital Ground
27	$+V_D$	Digital Supply Voltage, 2.7V to 5.5V
28	CLK	Clock Input

Amplificador operacional AD8041



Pin No.	Mnemonic	Description
1	Nc	No Connect
2	-INPUT	Negative Input
3	+INPUT	Positive Input
4	-Vs	Negative Supply
5	NC	No Connect
6	OUTPUT	Output
7	+Vs	Possitive Supply
8	$\overline{\text{DISABLE}}$	Disable